


LIGHT EMITTING ELEMENT AND METHOD OF MANUFACTURING THE SAME

Patent number: JP2003174197
Publication date: 2003-06-20
Inventor: IKEDA SHUNICHI; YAMADA MASAHIRO; NOTO NOBUHIKO; NOZAKI SHINJI; UCHIDA KAZUO; MORIZAKI HIROSHI
Applicant: SHIN ETSU HANDOTAI CO LTD.; NANOTECO CORP
Classification:
 - international: H01L33/00
 - european:
Application number: JP20020259396 20020904
Priority number(s):

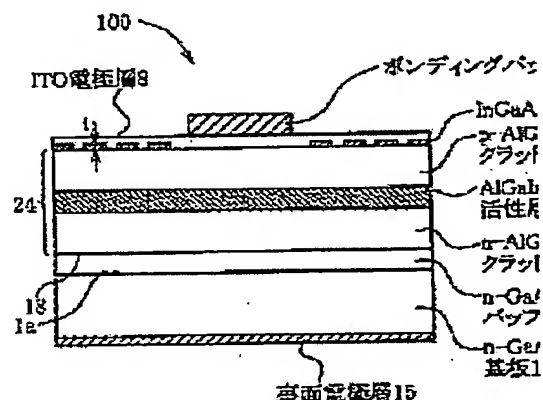
Also published as

 US2003059972

Abstract of JP2003174197

PROBLEM TO BE SOLVED: To provide a manufacturing method for a light emitting element in which the contact resistance of an electrode is reduced by joining an ITO transparent electrode layer as the electrode for light emission drive via an electrode junction layer, and which is hardly influenced by the difference of a lattice constant from a light emitting layer at formation of an electrode junction layer.

SOLUTION: A light emitting element 100 has the ITO transparent electrode layer 8 for applying light emission drive voltage to the light emitting layer 24, and the light from the light emitting layer 24 is taken out in such form that it transmits the very ITO transparent electrode layer 8. Moreover, between the light emitting layer 24 and the ITO transparent electrode layer 8, an electrode junction layer 7 consisting of GaAs containing In is arranged such that it contacts with the very ITO transparent electrode layer. At the junction interface of the ITO transparent electrode layer 8, an area where the electrode junction layer 7 is made and an area where it is not made exist mixedly. The electrode junction layer 7 forms a GaAs layer 7" on the light emitting layer, and it is made by diffusing In from the ITO transparent electrode layer 8 to the GaAs layer 7" by heat-treating a stack 13 where the ITO transparent electrode layer 8 is made to contact with the GaAs layer 7".



Best Available Copy

(11)特許出願公開番号

特開2003-174197

(P2003-174197A)

(43)公開日 平成15年6月20日(2003.6.20)

(51) Int.Cl.:

識別記号

FI

テーマコード(参考)

H01L 33/00

H01L 33/00

E 5 F 0 4 1

B

審査請求 未請求 請求項の数24 O L (全 15 頁)

(21)出願番号 特願2002-259396(P2002-259396)

(22)出願日 平成14年9月4日(2002.9.4)

(31)優先權主張番号 特願2001-297927(P2001-297927)

(32)優先日 平成13年9月27日(2001.9.27)

(33)優先権主張国 日本 (JP)

(71)出願人 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(71)出願人 501045021

株式会社ナノテコ

東京都三鷹市下連雀3丁目38番地4号 三

産業プラザ408

(72) 発明者 池田 俊一

群馬県安中市磯部二丁目13番1号 信越半

薄体株式会社磯部工場内

(74) 代理人 100095751

井理士 菅原 正倫

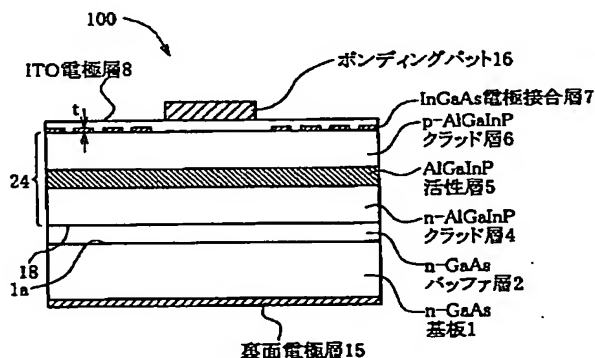
[最終頁に続く](#)

(54) 【発明の名称】 発光素子及び発光素子の製造方法

(57) 【要約】

【課題】 発光駆動用の電極としてITO透明電極層を電極接合層を介して接合し、該電極の接触抵抗を低減するとともに、電極接合層形成に際して発光層部との格子定数差の影響も受けにくい発光素子の製造方法を提供する。

【解決手段】 発光素子100は、発光層部24に発光駆動電圧を印加するためのITO透明電極層8を有し、発光層部24からの光が、該ITO透明電極層8を透過させる形で取り出される。また、発光層部24とITO透明電極層8との間に、Inを含有したGaAsよりなる電極接合層7が、該ITO透明電極層と接するように配置され、ITO透明電極層8の接合界面において、電極接合層7の形成領域と非形成領域とが混在する。該電極接合層7は、発光層部上にGaAs層7''を形成し、そのGaAs層7''と接するようにITO透明電極層8を形成した積層体13を熱処理することにより、ITO透明電極層8からGaAs層7''にInを拡散させて形成する。



【特許請求の範囲】

【請求項1】 化合物半導体層からなる発光層部と、該発光層部に発光駆動電圧を印加するための酸化物透明電極層とを有し、前記発光層部からの光を、前記酸化物透明電極層を透過させる形で取り出すようにした発光素子において、

前記発光層部と前記酸化物透明電極層との間に、前記酸化物透明電極層の接合抵抗を減ずるための電極接合層が、該酸化物透明電極層に接するように配置され、前記酸化物透明電極層の接合界面において、前記電極接合層の形成領域と非形成領域とが混在してなることを特徴とする発光素子。

【請求項2】 前記電極接合層は、化合物半導体からなることを特徴とする請求項1に記載の発光素子。

【請求項3】 前記酸化物透明電極層の前記接合界面は、ボンディングパッドの直下領域からなる第一領域と残余の第二領域とを有し、前記第二領域は、前記第一領域より光取り出し量が多く、前記電極接合層は、前記第二領域において、前記第一領域よりも形成面積率が大きいことを特徴とする請求項1又は2に記載の発光素子。

【請求項4】 前記第一領域に前記電極接合層が形成されていないことを特徴とする請求項3記載の発光素子。

【請求項5】 前記第二領域において少なくとも、前記電極接合層の形成領域と非形成領域とが混在してなることを特徴とする請求項3又は4に記載の発光素子。

【請求項6】 化合物半導体層からなる発光層部と、該発光層部に発光駆動電圧を印加するための酸化物透明電極層とを有し、前記発光層部からの光を、前記酸化物透明電極層を透過させる形で取り出すようにした発光素子において、

前記発光層部と前記酸化物透明電極層との間に、前記酸化物透明電極層の接合抵抗を減ずるための化合物半導体からなる電極接合層が、該酸化物透明電極層に接するように配置され、

かつ、前記酸化物透明電極層の前記接合界面は、ボンディングパッドの直下領域からなる第一領域と残余の第二領域とを有し、前記第二領域は、前記第一領域より光取り出し量が多く、前記第二領域において少なくとも、前記電極接合層の形成領域と非形成領域とが混在してなることを特徴とする発光素子。

【請求項7】 前記第二領域において、前記電極接合層の形成領域が分散形成されてなることを特徴とする請求項5又は6に記載の発光素子。

【請求項8】 前記電極接合層は、前記酸化物透明電極層との接合界面においてAlを含有せず、かつバンドギャップエネルギーが1.42eVより小さい化合物半導体からなることを特徴とする請求項1ないし7のいずれか1項に記載の発光素子。

【請求項9】 前記電極接合層を構成する化合物半導体は、前記酸化物透明電極層との接合界面において In_x

Ga_{1-x}As ($0 < x \leq 1$)であることを特徴とする請求項8に記載の発光素子。

【請求項10】 前記酸化物透明電極層がインジウム、錫、亜鉛のいずれかを含む酸化物電極層であることを特徴とする請求項1ないし9のいずれか1項に記載の発光素子。

【請求項11】 前記電極接合層の厚さが0.001 μm 以上0.02 μm 以下の範囲に調整されていることを特徴とする請求項1ないし10のいずれか1項に記載の発光素子。

【請求項12】 前記発光層部は、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ (但し、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) 又は $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) にて構成されていることを特徴とする請求項1ないし11のいずれか1項に記載の発光素子。

【請求項13】 前記発光層部は、各々前記 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ 又は前記 $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ にて構成される第一導電型クラッド層、活性層及び第二導電型クラッド層がこの順序にて積層されたダブルヘテロ構造を有し、前記第一導電型クラッド層及び前記第二導電型クラッド層の少なくともいずれかと前記酸化物透明電極層との間に、前記電極接合層が形成されてなることを特徴とする請求項12に記載の発光素子。

【請求項14】 前記電極接合層と、前記第一導電型クラッド層と第二導電型クラッド層とのうち、該電極接合層の形成側に位置するクラッド層との間に、それら電極接合層とクラッド層との中間のバンドギャップエネルギーを有する中間層が形成されたことを特徴とする請求項13に記載の発光素子。

【請求項15】 前記発光層部は、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) よりなり、前記中間層を、 AlGaAs 層、 GaInP 層及び AlGaInP 層のうち少なくとも一つを含むものとして形成することを特徴とする請求項14記載の発光素子。

【請求項16】 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) により、第一導電型クラッド層、活性層及び第二導電型クラッド層がこの順序にて積層されたダブルヘテロ構造を有するものとして前記発光層部が構成され、前記第一導電型クラッド層及び前記第二導電型クラッド層の少なくともいずれかの側に、前記酸化物透明電極層としてのITO透明電極層を有し、前記発光層部からの光が、該ITO透明電極層を透過させる形で取り出されるとともに、前記発光層部と前記ITO透明電極層との間に、Inを含有したGaAsよりなる電極接合層が、該ITO透明電極層と接する形にて形成され、前記電極接合層の厚さ方向におけるIn濃度分布が、前記ITO透明電極層から厚さ方向に

遠ざかるにつれ連続的に減少するものとされたことを特徴とする請求項13ないし15のいずれか1項に記載の発光素子。

【請求項17】 前記電極接合層の、前記ITO透明電極層との境界近傍におけるIn濃度を C_A とし、これと反対側の境界近傍におけるIn濃度を C_B として、 C_B/C_A が0.8以下とされる請求項16に記載の発光素子。

【請求項18】 前記電極接合層の前記ITO透明電極層との界面近傍におけるIn濃度が、InとGaとの合計濃度に対するInの原子比にて、0.1以上0.6以下とされることを特徴とする請求項16又は17に記載の発光素子。

【請求項19】 $(Al_xGa_{1-x})_yIn_{1-y}P$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$) により、第一導電型クラッド層、活性層及び第二導電型クラッド層がこの順序にて積層されたダブルヘテロ構造を有するものとして発光層部が構成され、前記第一導電型クラッド層及び前記第二導電型クラッド層の少なくともいずれかの側に、前記発光層部に発光駆動電圧を印加するためのITO透明電極層を有する発光素子の製造方法において、前記発光層部にGaAs層を、該GaAs層の形成領域と非形成領域とが混在するように形成し、当該GaAs層と接するように前記ITO透明電極層を形成した後に熱処理することにより、前記ITO透明電極層から前記GaAs層にInを拡散させて、Inを含有したGaAsよりなる電極接合層となすことを特徴とする発光素子の製造方法。

【請求項20】 前記電極接合層の厚さ方向におけるIn濃度分布が、前記ITO透明電極層から厚さ方向に遠ざかるにつれ連続的に減少するものとなるように、前記熱処理が行なわれることを特徴とする請求項19に記載の発光素子の製造方法。

【請求項21】 前記電極接合層の、前記ITO透明電極層との境界近傍におけるIn濃度を C_A とし、これと反対側の境界近傍におけるIn濃度を C_B として、 C_B/C_A が0.8以下となるように、前記熱処理が行なわれることを特徴とする請求項19又は20に記載の発光素子の製造方法。

【請求項22】 前記電極接合層の前記ITO透明電極層との界面近傍におけるIn濃度が、InとGaとの合計濃度に対するInの原子比にて、0.1以上0.6以下となるように、前記熱処理が行なわれることを特徴とする請求項19ないし21のいずれか1項に記載の発光素子の製造方法。

【請求項23】 前記熱処理を600℃以上750℃以下に行なうことを特徴とする請求項19ないし22のいずれか1項に記載の発光素子の製造方法。

【請求項24】 前記熱処理の時間を5秒以上120秒以下に設定することを特徴とする請求項19ないし23

のいずれか1項に記載の発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は発光素子及び発光素子の製造方法に関する。

【0002】

【従来の技術】 $(Al_xGa_{1-x})_yIn_{1-y}P$ 混晶 (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$ (以下、AlGaInP混晶、あるいは単にAlGaInPとも記載する)) により発光層部が形成された発光素子は、薄いAlGaInP活性層を、それよりもバンドギャップの大きいn型AlGaInPクラッド層とp型AlGaInPクラッド層とによりサンドイッチ状に挟んだダブルヘテロ構造を採用することにより、高輝度の素子を実現できる。また、近年では、 $In_xGa_yAl_{1-x-y}N$ (ただし、 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$) を用いて同様のダブルヘテロ構造を形成した青色発光素子も実用化されている。

【0003】例えば、AlGaInP発光素子を例に取れば、n型GaAs基板上にヘテロエピタキシャル成長させる形にて、n型GaAsバッファ層、n型AlGaInPクラッド層、AlGaInP活性層、p型AlGaInPクラッド層をこの順序にて積層し、ダブルヘテロ構造をなす発光層部を形成する。発光層部への通電は、素子表面に形成された金属電極を介して行なわれる。ここで、金属電極は遮光体として作用するため、例えば発光層部主表面の中央部のみを覆う形で形成され、その周囲の電極非形成領域から光を取り出すようにする。

【0004】この場合、金属電極の面積をなるべく小さくしたほうが、電極の周囲に形成される光漏出領域の面積を大きくできるので、光取出し効率を向上させる観点において有利である。従来、電極形状の工夫により、素子内に効果的に電流を拡げて光取出量を増加させる試みがなされているが、この場合も電極面積の増大はいずれにしる避けがなく、光漏出面積の減少により却って光取出量が制限されるジレンマに陥っている。そこで、金属電極に代えて、高導電率のITO (Indium TinOxide: 酸化インジウム錫) 透明電極層にて発光層部主表面を覆い、光取出効率を高める提案が、例えば特開平6-188455号あるいは特開平1-225178号の各公報にてなされている。

【0005】

【発明が解決しようとする課題】しかしながら、本発明者らが検討したところによると、ITOからなる透明導電層は、そのままでは素子側の化合物半導体層との接触抵抗が高くなりやすく、直列抵抗増大による発光効率の低下が避けがたくなることがわかった。例えば特開平1-225178号公報には、InGaAs層よりなる電極接合層を、ITO透明導電層の全面に対応させる形で

素子側の化合物半導体層との間に介在させ、接触抵抗を減ずる方法が提案されている。しかし、電極接合層はオーミックコンタクト確保のためバンドギャップエネルギーの低いInGaAs等で構成せざるを得ず、ごく薄く形成しても、光吸収による取出効率の低下が避け難い問題がある。また、透明電極を用いた場合でも、素子化の際には通電用ワイヤを接合するための金属製のボンディングパッドを透明電極上に配置しなければならない。この場合、導電性の良好な金属製のボンディングパッドの形成領域に駆動電圧が集中しやすいため、光取出領域となるパッドの周囲領域では電流が不足して光取出効率が低下しやすく、ひいては透明電極を採用することによる効果が必ずしも十分に発揮できない問題がある。

【0006】本発明は、酸化物透明電極層を発光駆動用の電極として有し、かつ酸化物透明電極層による光取出効率の改善効果をより有効に引き出すことができる発光素子と、その製造方法を提供することにある。

【0007】

【課題を解決するための手段及び作用・効果】本発明の発光素子は、化合物半導体層からなる発光層部と、該発光層部に発光駆動電圧を印加するための酸化物透明電極層とを有し、発光層部からの光を、酸化物透明電極層を透過させる形で取り出すようにした構造を前提とし、発光層部と酸化物透明電極層との間に、酸化物透明電極層の接合抵抗を減ずるための電極接合層が、該酸化物透明電極層に接するように配置され、酸化物透明電極層の接合界面において、電極接合層の形成領域と非形成領域とが混在してなることを特徴とする。前記電極接合層は、化合物半導体からなることが好ましい。

【0008】既に説明した通り、ITO等の酸化物透明電極層は、素子側の化合物半導体層と直接接合しようとしたとき、良好なオーミック接合が必ずしも形成されず、接触抵抗に基づく直列抵抗増大により発光効率が低下することがある。しかしながら、本発明の発光素子は、酸化物透明電極層の接触抵抗を減ずるための電極接合層を、酸化物透明電極層の素子側に接するように配置することにより、酸化物透明電極層の接触抵抗を下げるができる。さらに、酸化物透明電極層の接合界面において、電極接合層の形成領域と非形成領域とを混在させることにより、電極接合層が、発光層部からの光を吸収しやすい性質を有している場合においても、電極接合層の形成領域直下にて発生した光は、これと隣接する非形成領域から漏出することにより、電極接合層による光吸収を抑制することができる。このように電極接合層を形成することにより素子全体の光取出効率を高めることができる。

【0009】電極接合層を酸化物透明電極層の素子側への接合面全面を被覆するように形成すると、上記のものを含め、次のような問題が生ずる。①ワイヤ接合用のボンディングパッドの直下領域でも酸化物透明電極層の接

触抵抗が改善される結果、駆動電流ひいては発光が該領域に集中しやすくなり、発生した光の多くがボンディングパッドにより遮蔽されて光取出効率の低下を招く。②電極接合層として採用する化合物半導体の材質によっては、電極接合層が光吸収体として作用し、同様に光取出効率の低下につながる。

【0010】上記の問題を解決するために、本発明の発光素子の第一の構成は、酸化物透明電極層の接合界面が、ボンディングパッドの直下領域からなる第一領域と残余の第二領域とを有し、前記第二領域は、前記第一領域より光取り出し量が多く、前記電極接合層は、前記第二領域において、前記第一領域よりも形成面積率が大きいことを特徴とする。

【0011】上記の構成によると、光取り出し量が少ないボンディングパッドの直下領域（第一領域）において、光取り出し量が多い残余の領域（第二領域）よりも酸化物透明電極層の接合界面に形成される電極接合層の形成面積率を小さくしたから、第一領域における酸化物透明電極層の接触抵抗が増大する。その結果、発光素子の駆動電流は、第一領域を迂回して第二領域に流れる成分が大きくなり、光取出効率を大幅に高めることができる。なお、光取り出し量が少ない第一領域にはなるべく発光駆動電流が流れないことが光取出効率向上の観点においては望ましい。従って、第一領域には電極接合層が可及的に形成されていないことが望ましい。また、酸化物透明電極層の接合界面のうち、発光層部からの光を外部へ取り出す量が多い第二領域において少なくとも、電極接合層の形成領域と非形成領域とが混在してなることが望ましい。

【0012】次に、本発明の発光素子の第二の構成は、化合物半導体層からなる発光層部と、該発光層部に発光駆動電圧を印加するための酸化物透明電極層とを有し、発光層部からの光を、酸化物透明電極層を透過させる形で取り出すようにした構造を前提とし、発光層部と酸化物透明電極層との間に、酸化物透明電極層の接合抵抗を減ずるための化合物半導体からなる電極接合層が、該酸化物透明電極層に接するように配置され、かつ、酸化物透明電極層の接合界面は、ボンディングパッドの直下領域からなる第一領域と残余の第二領域とを有し、第二領域は、第一領域より光取り出し量が多く、第二領域において少なくとも、電極接合層の形成領域と非形成領域とが混在してなることを特徴とする。電極接合層の形成領域は、分散形成されてなることが好ましい。

【0013】上記の構成によると、酸化物透明電極層の接触抵抗低減のために形成する電極接合層が、発光層部からの光を吸収しやすい性質を有している場合においても、電極接合層の形成領域直下にて発生した光は、これと隣接する非形成領域から漏出することにより、電極接合層による吸収を抑制することができる。その結果、素子全体としての光取出効率を高めることができる。

【0014】次に、電極接合層は、具体的には、酸化物透明電極層との接合界面においてAlを含有せず、かつバンドギャップエネルギーが1.42eVより小さい化合物半導体からなるものを使用することが、酸化物透明電極層の接触抵抗を減少させる効果に優れ、本発明に好適に採用することができる。このような電極接合層を用いることにより、酸化物透明電極層の接触抵抗を低減できる理由として、以下の理由が考えられる。①例えば、従来の発光素子では、酸化物透明電極層はAlGaAs電流拡散層に接する形にて形成されていたが、電流拡散層の透光性を十分に確保するためには、AlAs混晶比を相当高めなければならない。しかしながら、高AlAs混晶比のAlGaAs混晶はAlを高濃度にて含有しているため非常に酸化され易く、酸化物透明電極層を形成すると、該層に含有される酸素がAlGaAs電流拡散層中のAl成分と結合して高抵抗率の酸化層が形成される。②高AlAs混晶比のAlGaAs混晶は、混晶比にもよるが、電流拡散層として通常使用されるものにおいては、バンドギャップエネルギーが2.02～2.13eVと高いので、酸化物透明電極層との間でオーミック接触又はそれに近い低抵抗率の接触（例えば $10-4\Omega\cdot\text{cm}$ 以下：以下、これらを総称してオーミック状接触という）が形成されにくい。また、AlGaAsを用いずにAlGaInPクラッド層上に直接酸化物透明電極層を接触させた場合にも、バンドギャップエネルギーが2.3～2.35eVと高くかつAlを含有するため、上記AlGaAsの場合と同様の問題が生ずる。

【0015】そこで、酸化物透明電極層との接合界面において電極接合層を上記の構成とすれば、該電極接合層の該接合界面はAlを含有しないので高抵抗率の酸化層は形成されにくく、かつ、バンドギャップエネルギーも小さい（1.42eV未満；例えば $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ を採用した場合、0.75eV）ので、オーミック状接触を容易に実現できる。その結果、透明電極層の接触抵抗を大幅に低減することができる。電極接合層を構成する化合物半導体は、酸化物透明電極層との接合界面において、より具体的には $\text{In}_x\text{Ga}_{1-x}\text{As}$ （ $0 < x \leq 1$ ）にて構成することができる。

【0016】次に、酸化物透明電極層の材質は、酸化錫（ SnO_2 ）あるいは酸化インジウム（ In_2O_3 ）を主体とするものを使用できる。具体的には、酸化物透明電極層は、ITOが高導電率であり、本発明に好適に使用できる。ITOは、酸化錫をドーブした酸化インジウム膜であり、酸化錫の含有量を1～9質量%とすることで、電極層の抵抗率を $5 \times 10^{-4}\Omega\cdot\text{cm}$ 以下の十分に低い値とすることができる。なお、ITO透明電極層以外では、酸化亜鉛（ ZnO ）電極層が高導電率であり、本発明に採用可能である。また、酸化アンチモンをドーブした酸化錫（いわゆるネサ）、 Cd_2SnO_4 、 Zn_2SnO_4 、 ZnSnO_3 、 MgIn_2O_4 、酸化イッ

トリウム（Y）をドーブした CdSb_2O_6 、酸化錫をドーブした GaInO_3 なども酸化物透明電極層の材質として使用することができる。すなわち、酸化物透明電極層はインジウム、錫、亜鉛のいずれかを含むものとすることができる。

【0017】これらの酸化物透明電極層は、公知の気相成膜法、例えば化学蒸着法（chemical vapor deposition: CVD）あるいはスパッタリングや真空蒸着などの物理蒸着法（physical vapor deposition: PVD）、あるいは分子線エピタキシャル成長法（molecular beam epitaxy: MBE）にて形成することができる。例えば、ITO透明電極層や ZnO 電極層は高周波スパッタリング又は真空蒸着により製造でき、また、ネサ膜はCVD法により製造できる。また、これら気相成長法に代えて、ゾルゲル法など他の方法を用いて形成してもよい。

【0018】酸化物透明電極層は、発光層部の主表面の全面を被覆する形にて形成することができる。このように構成すると、酸化物透明電極層に電流拡散層の機能を担わせることができ、従来のような化合物半導体からなる厚い電流拡散層の形成が不要となったり、仮に形成する場合でも、その厚みを大幅に減ずることができるから、工程の簡略化によるコスト削減に寄与し、産業利用上非常に有効である。他方、電極接合層の形成厚さは、オーミック接触を形成するために必要十分な程度であれば、それほど厚くする必要がなく、また、具体的には、化合物半導体が電極接合層を構成する場合、薄層化によりバルク結晶とは異なるバンドギャップエネルギーを示すようにならない程度の厚さを確保すればよく、0.001 μm 以上（例えば $\text{In}_x\text{Ga}_{1-x}\text{As}$ などのInを含有したGaAsを用いる場合）あれば十分である。従って、酸化物透明電極層と発光層部との層間距離を従来の発光素子よりも大幅に縮めることができ、直列抵抗低減効果にも優れる。なお、電極接合層の厚さを過剰に大きくすることは、該電極接合層における光吸収が増大する結果、光取出効率の低下を招くので、0.02 μm 以下とすることが望ましい。

【0019】また、 $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）又は $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x+y \leq 1$ ）にて構成されている発光層部はいずれも殆どの場合にAlを含有するので、酸化劣化の問題を考慮しなければならないが、酸化物透明電極層にて全面的に覆う構成を採用することで、該酸化物透明電極層を上記Alを含有する発光層部に対するパッシベーション膜としても機能させることができる利点がある。

【0020】なお、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ は、混晶比によっては上記発光層部をなす化合物半導体との格子定数の差が多少大きくなる化合物半導体ではあるが、厚さ0.001 μm 以上0.02 μm 以下の薄層として形成

する場合は、格子不整合の影響を比較的小さく留めることができるので、該化合物半導体を用いて電極接合層を形成することが可能である。

【0021】なお、化合物半導体層を用いて酸化物透明電極層と直接接する電極接合層を形成する場合、該透明電極層とのオーミック状接触を良好に形成する観点から、前述の通り、バンドギャップエネルギーが1.42 eVより小さい化合物半導体を酸化物透明電極層との接合界面において用いることが望ましい。そして、上記のような薄層化による格子不整合の影響軽減により、InGaAsのほかにInP、InAs、GaSb、InSbまたはそれらの混晶を用いることも可能である。

【0022】 $(Al_xGa_{1-x})_yIn_{1-y}P$ 又は $In_xGa_yAl_{1-x-y}N$ からなる発光層部は、各々 $(Al_xGa_{1-x})_yIn_{1-y}P$ 又は $In_xGa_yAl_{1-x-y}N$ にて構成される第一導電型クラッド層、活性層及び第二導電型クラッド層がこの順序にて積層されたダブルヘテロ構造を有するものとして形成できる。活性層の両側に形成されるクラッド層とのバンドギャップ差に起因したエネルギー障壁により、注入されたホールと電子とが狭い活性層中に閉じ込められて効率よく再結合するので、非常に高い発光効率を実現できる。さらに、活性層の組成調整により、前者は緑色から赤色領域（ピーク発光波長が520nm以上670nm以下）にかけて、後者は紫外領域から赤色（ピーク発光波長が300nm以上700nm以下）にかけての、それぞれ広範囲の発光波長を実現することができる。

【0023】そして、上記構成においては、第一導電型クラッド層及び第二導電型クラッド層の少なくともいずれかと酸化物透明電極層との間に、電極接合層を形成することができる。例えば、ダブルヘテロ構造からなる発光層部の片側の主表面のみを光取出面として使用する場合は、該側に位置するクラッド層と酸化物透明電極層との間に該酸化物透明電極層と接する形にて電極接合層を形成した後、酸化物透明電極層を形成することができる。他方、発光層部の両側の主表面を光取出面として使用する場合は、両側のクラッド層のそれぞれに対応して酸化物透明電極層を形成するとともに、各酸化物透明電極層とクラッド層との間には、酸化物透明電極層に接する電極接合層を形成することができる。

【0024】また、電極接合層と、第一導電型クラッド層と第二導電型クラッド層とのうち、該電極接合層の形成側に位置するクラッド層との間には、それら電極接合層とクラッド層との中間のバンドギャップエネルギーを有する中間層を形成することができる。ダブルヘテロ構造の発光層部は、活性層へのキャリア閉じ込め効果を高めて内部量子効率を向上させるために、クラッド層と活性層との間の障壁高さを一定以上に高める必要がある。図12の模式バンド図（Ecは伝導帯底、Evは価電子帯頂の各エネルギーレベルを示す）に示すように、この

ようなクラッド層（例えばAlGaInP）に電極接合層（例えばInGaAs）を直接接合すると、クラッド層と電極接合層との間に、接合によるバンドの曲がりにより、比較的高いヘテロ障壁が形成される場合がある。この障壁高さ ΔE は、クラッド層と電極接合層との間のバンド端不連続値が大きくなるほど高くなり、キャリアの移動、特に有効質量のより大きいホールの移動を妨げやすくなる。例えば金属電極を使用する場合は、クラッド層の全面を金属電極で覆うと光取出しができなくなるので、部分的な被覆となるように電極形成せざるを得ない。この場合、光取出し効率向上のため、電極の面内方向外側への電流拡散を何らかの形で促進しなければならない。例えば、金属電極の場合も、発光層部との間にGaAs等の電極接合層が形成されることが多いが、金属電極の場合は、電極接合層と発光層部との間に、ある程度高い障壁が形成された方が、障壁によるキャリアのせき止め効果により面内方向の電流拡散を促進できる利点がある。しかし、高い障壁形成のため、直列抵抗の増加は避け難い。

【0025】これに対し、ITO透明電極層を用いる場合は、ITO透明電極層自体が非常に高い電流拡散能を有しているため、障壁によるキャリアのせき止め効果はほとんど考慮する必要がない。しかも、ITO透明電極層の採用により、光取出領域の面積は金属電極使用時と比較して大幅に増加している。そこで、図13に示すように、電極接合層とクラッド層との間に、それら電極接合層とクラッド層との中間のバンドギャップエネルギーを有する中間層を挿入すると、電極接合層と中間層、及び中間層とクラッド層とのそれぞれはバンド端不連続値が小さくなるので、各々形成される障壁高さ ΔE も小さくなる。その結果、直列抵抗が軽減されて、低い駆動電圧にて十分に高い発光強度を達成することが可能となる。

【0026】上記中間層を採用することによる効果は、ダブルヘテロ構造の発光層部の中でも、特に電極接合層をなすInを含有したGaAsとの格子整合性が比較的良好なAlGaInPにて発光層部を形成する場合に顕著である。この場合、発光層部と、電極接合層との中間のバンドギャップエネルギーを有する中間層として、具体的には、AlGaAs層、GaInP層及びAlGaInP層（バンドギャップエネルギーがクラッド層より小さくなるように組成調整されたもの）の少なくとも一つを含むものを好適に採用することができ、例えばAlGaAs層を含むものとして形成することができる。また、これ以外の発光層部、例えば、 $In_xGa_yAl_{1-x-y}N$ からなるダブルヘテロ構造の発光層部にも適用可能である。この場合、中間層は、例えばInGaAlN層（バンドギャップエネルギーがクラッド層より小さくなるように組成調整されたもの）を含むものが採用可能である。

【0027】次に、本発明の発光素子の製造方法は、 $(Al_x Ga_{1-x})_y In_{1-y}P$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）により、第一導電型クラッド層、活性層及び第二導電型クラッド層がこの順序にて積層されたダブルヘテロ構造を有するものとして発光層部が構成され、第一導電型クラッド層及び第二導電型クラッド層の少なくともいずれかの側に、発光層部に発光駆動電圧を印加するためのITO透明電極層を有する発光素子の製造方法において、発光層部にGaAs層を、該GaAs層の形成領域と非形成領域とが混在するように形成し、当該GaAs層と接するようにITO透明電極層を形成した後熱処理することにより、ITO透明電極層からGaAs層にInを拡散させて、Inを含有したGaAsよりなる電極接合層となすことを特徴とする。

【0028】上記本発明の発光素子の製造方法においては、AlGaInPからなる発光層部に、GaAs層を形成し、そのGaAs層と接するようにITO透明電極層を形成する。発光層部は例えばII-V族化合物半導体にて構成されるものであり、その上（ただし、格子整合する別の層が介在していてもよい）に形成されるGaAs層とともに、例えば周知のMOVPE法にて形成できる。GaAs層はAlGaInP発光層部と格子整合が極めて容易であり、InGaAsを直接エピタキシャル成長する場合と比較して、均質で連続性のよい膜を形成できる。

【0029】そして、そのGaAs層上にITO透明電極層を形成した後、熱処理することにより、ITO透明電極層からGaAs層にInを拡散させて電極接合層とする。このように熱処理して得られるInを含有したGaAsよりなる電極接合層は、In含有量が過剰とならず、発光層部との格子不整合による、発光強度低下などの品質劣化を効果的に防止することができる。GaAs層と発光層部との格子整合は、発光層部が $(Al_x Ga_{1-x})_y In_{1-y}P$ （ただし、 $0 \leq x \leq 1$ 、 $0.45 \leq y \leq 0.55$ ）にて構成される場合に特に良好となるので、混晶比 y を上記の範囲に設定して、発光層部（クラッド層あるいは活性層）を形成することが望ましいといえる。

【0030】上記の熱処理は、電極接合層の厚さ方向におけるIn濃度分布が、図16の④に示すように、ITO透明電極層から厚さ方向に遠ざかるにつれ連続的に減少するものとなるようにする（つまり、In濃度分布に傾斜をつける）ことが望ましい。こうした構造は、熱処理により、ITO側から電極接合層側へInを拡散させることにより形成される。

【0031】この場合、本発明の発光素子は、 $(Al_x Ga_{1-x})_y In_{1-y}P$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ）により、第一導電型クラッド層、活性層及び第二導電型クラッド層がこの順序にて積層されたダブルヘテロ構造を有するものとして発光層部が構成され、第

一導電型クラッド層及び第二導電型クラッド層の少なくともいずれかの側に、発光層部に発光駆動電圧を印加するための酸化物透明電極層としてのITO透明電極層を有し、発光層部からの光が、該ITO透明電極層を透過させる形で取り出されるとともに、発光層部とITO透明電極層との間に、Inを含有したGaAsよりなる電極接合層が、該ITO透明電極層と接する形にて形成され、電極接合層の厚さ方向におけるIn濃度分布が、ITO透明電極層から厚さ方向に遠ざかるにつれ連続的に減少するものとされる。これは、AlGaInPよりなる発光層部側にて、電極接合層のIn濃度分布が小さくなること、つまり、発光層部との格子定数差が縮まることを意味する。このようなIn濃度分布の電極接合層を形成することにより、発光層部との格子整合性をより高めることができる利点を生ずる。熱処理温度が過度に高くなったり、あるいは熱処理時間が長大化すると、ITO透明電極層からのIn拡散が過度に進行して、図16の③に示すように、電極接合層内のIn濃度分布が厚さ方向にはほぼ一定の高い値を示すようになり、上記の効果は得られなくなる（なお、熱処理温度が過度に低くなったり、あるいは熱処理時間が過度に短時間化すると、図16の②に示すように、電極接合層内のIn濃度が不足することにつながる）。

【0032】この場合、図16において、電極接合層の、ITO透明電極層との境界近傍におけるIn濃度を C_A とし、これと反対側の境界近傍におけるIn濃度を C_B としたとき、 C_B/C_A が0.8以下となるように調整することが望ましく、該形態のIn濃度分布が得られるように、前述の熱処理を行なうことが望ましい。 C_B/C_A が0.8を超えると、In濃度分布傾斜による発光層部との格子整合性改善効果が十分に得られなくなる。なお、電極接合層の厚さ方向の組成分布（InあるいはGa濃度分布）は、層を厚さ方向に徐々にエッチングしながら、二次イオン質量分析（Secondary Ion Mass Spectroscopy: SIMS）、オージェ電子分光分析（Auger Electron Spectroscopy）、X線光電子分光（X-ray Photoelectron Spectroscopy: XPS）などの周知の表面分析方法により測定することができる。

【0033】電極接合層のITO透明電極層との境界近傍におけるIn濃度は、InとGaとの合計濃度に対するInの原子比にて、0.1以上0.6以下とされることが望ましく、上記の熱処理もこのようなIn濃度が得られるように行なうことが望ましい。上記定義によるIn濃度が0.1未満になると、電極接合層の接触抵抗低減効果が不十分となり、0.6を超えると電極接合層と発光層部との格子不整合による、発光強度低下などの品質劣化が甚だしくなる。なお、電極接合層のITO透明電極層との境界近傍におけるIn濃度が、InとGaとの合計濃度に対するInの原子比にて、例えば前述の望ましい値（0.1以上0.6以下）を確保できるのであ

れば、電極接合層の、ITO透明電極層に面しているのと反対側の境界近傍でのIn濃度 C_B がゼロとなっていること、つまり、図17に示すように、電極接合層のITO透明電極層側にInGaAs層が形成され、反対側の部分がGaAs層となる構造となっても差し支えない。

【0034】ITOは、前述の通り酸化スズをドーブした酸化インジウム膜であり、ITO透明電極層をGaAs層上に形成し、さらにこれを適正な温度範囲にて熱処理することにより、上記望ましいIn濃度を有した電極接合層を容易に形成できる。また、この熱処理により、ITO透明電極層の電気抵抗率をさらに低減できる。熱処理は、600℃以上750℃以下に行なうことが望ましい。熱処理温度が750℃を超えるとGaAs層へのInの拡散速度が大きくなりすぎ、電極接合層中のIn濃度が過剰となりやすくなる。また、In濃度が飽和して、電極接合層の厚さ方向に傾斜したIn濃度分布も得にくくなる。いずれも、電極接合層と発光層部との格子整合が悪化することにつながる。また、GaAs層へのInの拡散が過度に進みすぎると、電極接合層との接触部付近にてITO透明電極層のInが枯渇し、電極の電気抵抗値の上昇が避けがたくなる。さらに、熱処理温度が上記のように高温になりすぎると、ITOの酸素がGaAs層へ拡散して酸化が促進され、素子の直列抵抗が上昇しやすくなる。いずれも適正な電圧で発光素子を駆動できなくなる不具合につながる。また、熱処理温度が極端に高くなると、ITO透明電極層の電気抵抗率がかえって悪化する場合がある。他方、熱処理温度が600℃未満になると、GaAs層へのInの拡散速度が小さくなりすぎ、接触抵抗を十分に低下させた電極接合層を得るのに長時間を要するようになるので、製造能率の低下が甚だしくなる。

【0035】また、熱処理時間は、5秒以上120秒以下に設定することが望ましい。熱処理時間が120秒以上になると、特に、熱処理温度が上限値に近い場合、GaAs層へのInの拡散量が過剰となりやすくなる（ただし、熱処理温度を低めに留める場合は、これよりも長い熱処理時間（例えば300秒程度まで）を採用することも可能である。他方、熱処理時間が5秒未満になると、GaAs層へのInの拡散量が不足し、接触抵抗を十分に低下させた電極接合層が得にくくなる。

【0036】

【発明の実施の形態】以下、本発明の実施の形態を添付の図面を参照して説明する。

（実施の形態1）図1は、本発明の一実施形態である発光素子100の主要部を示す概念図である。発光素子100は、n型GaAs単結晶基板（以下、単に基板という）1の第一主表面上にn型GaAsバッファ層2を介して発光層部24が形成されている。そして、その発光層部24の第一主表面側に、電極接合層としてのInG

aAs層7と酸化物透明電極層としてのITO透明電極層8とがこの順序にて形成され、さらに、ITO透明電極層8のほぼ中央部に電極ワイヤを接合するためのAu等にて構成されたボンディングパッド16が配置されている。他方、基板1の第二主表面側には、Au-Ge-Ni合金等の金属からなる反射層を兼ねた裏面電極層15が全面に形成されている。

【0037】ここで、ITO透明電極層8は、発光層部24の主表面の全面を覆う形にて形成されている。他方、電極接合層としてのInGaAs層7は、ボンディングパッド16の直下領域をなす光取り出し量が少ない第一領域には形成されず、その周囲の光取り出し量が多い第二領域にのみ選択的に形成されている。さらに、該第二領域においてInGaAs層7は、その形成領域と非形成領域とが混在した形となっている。従って、InGaAs層7の非形成領域においてはITO透明電極層8が発光層部24と直接接触する形となっている。

【0038】図2(a)～(c)に示すように、InGaAs層7の形成領域は、ITO透明電極層8の接合界面において分散形成することにより、発光層部24における発光をより均一化し、かつInGaAs層7の非形成領域からより均一に光を取り出すことができる。図2(a)はInGaAs層7の形成領域を散点状とした例であり、(b)は細長い帯状のInGaAs層7の形成領域と、同形態の非形成領域とを交互に形成した例である。さらに、(c)は、(a)とは逆に、InGaAs層7の形成領域を背景として、散点状の非形成領域をこれに分散形成した例である。ここではInGaAs層7の形成領域を格子状に形成している。

【0039】次に、発光層部24は、各々 $(Al_xGa_{1-x})_yIn_{1-y}P$ 混晶とされるときに、第一導電型クラッド層6、第二導電型クラッド層4、及び第一導電型クラッド層6と第二導電型クラッド層4との間に位置する活性層5からなるダブルヘテロ構造とされている。具体的には、ノンドープ $(Al_xGa_{1-x})_yIn_{1-y}P$ （ただし、 $0 \leq x \leq 0.55$ 、 $0.45 \leq y \leq 0.55$ ）混晶からなる活性層5を、p型 $(Al_xGa_{1-x})_yIn_{1-y}P$ クラッド層6とn型 $(Al_xGa_{1-x})_yIn_{1-y}P$ クラッド層4とにより挟んだ構造となっている。図1の発光素子100では、ITO透明電極層8側にp型AlGaInPクラッド層6が配置されており、裏面電極層15側にn型AlGaInPクラッド層4が配置されている。従って、通電極性はITO透明電極層8側が正である。なお、当業者には自明のことであるが、ここでいう「ノンドープ」とは、「ドーパントの積極添加を行なわない」との意味であり、通常の製造工程上、不可避免的に混入するドーパント成分の含有（例えば $10^{13} \sim 10^{16} / \text{cm}^3$ 程度を上限とする）をも排除するものではない。

【0040】なお、図1の発光素子100において、各

層の厚さの実例として以下のような数値を例示できる：

- ・ InGaAs 層 7 = 厚さ t : 約 $0.005 \mu\text{m}$
- ・ ITO 透明電極層 8 = 厚さ : $0.2 \mu\text{m}$ 、酸化錫含有率 : 7 質量% (残部 : 酸化インジウム) ;
- ・ p 型 AlGaInP クラッド層 6 = $1 \mu\text{m}$;
- ・ AlGaInP 活性層 5 = $0.6 \mu\text{m}$;
- ・ n 型 AlGaInP クラッド層 4 = $1 \mu\text{m}$;

【0041】以下、図 1 の発光素子 100 の製造方法について説明する。まず、図 1 に示すように、AlGaInP 混晶と格子整合する化合物半導体単結晶基板である GaAs 単結晶基板 1 の第一主表面 1a に、n 型 GaAs バッファ層 2 を例えば $0.5 \mu\text{m}$ 、次いで、発光層部 24 として、 $1 \mu\text{m}$ の n 型 AlGaInP クラッド層 4、 $0.6 \mu\text{m}$ の AlGaInP 活性層 (ノンドープ) 5、及び $1 \mu\text{m}$ の p 型 AlGaInP クラッド層 6、さらに InGaAs 層 7' (図 3 (a)) を p 型 AlGaInP クラッド層 6 上に厚さ $0.005 \mu\text{m}$ にてエピタキシャル成長させ、図 3 (a) の状態とする。これら各層のエピタキシャル成長は、公知の有機金属気相エピタキシャル成長 (Metalorganic Vapor Phase Epitaxy: MOVPE) 法により行なうことができる。

【0042】次いで、図 3 (b) 及び (c) に示すように、InGaAs 層 7' に対し公知のフォトリソグラフィ技術を用いてパターンニングを施すことにより、図 2 (a) ~ (c) に例示したような InGaAs 層 7 の形成領域及び非形成領域の形成パターンを、発光素子チップとなるべき領域毎に形成する。具体的には、図 3

(b) に示すように InGaAs 層 7' 上にフォトレジスト層 30 を形成し、さらにガラス基板上にワックス等を用いて基板 1 を固定する。次いでフォトレジスト層 30 上にマスクをかぶせて露光・現像することにより、図 5 (a) に示すように、InGaAs 層 7 を形成しない領域に InGaAs 層 7' が露出するようにフォトレジスト層 30 にマスクパターンを転写する。その後、該 InGaAs 層 7' の露出している部分をエッチングし、さらにフォトレジスト層 30 を除去すれば、図 5 (b) に示すようにパターンニングされた InGaAs 層 7 が得られる。

【0043】次に、図 3 (d) 及び図 6 に示すように、p 型 AlGaInP クラッド層 6 と InGaAs 層 7 の両主表面に、公知の高周波スパッタリング法 (例えば、ターゲット組成 ($\text{In}_2\text{O}_3 = 90.2$ 質量%, $\text{SnO}_2 = 9.8$ 質量%), rf 周波数 13.56 MHz 、Ar 圧力 0.6 Pa 、スパッタ電力 30 W) により、ITO 透明電極層 8 を例えば厚さ $0.2 \mu\text{m}$ 程度にて形成する。なお、膜形成後に窒素雰囲気中 $300^\circ\text{C} \sim 500^\circ\text{C}$ の温度で熱処理を施すことにより、約 1 桁抵抗率を低減することができる。

【0044】また、図 3 (e) に示すように、基板 1 の第二主表面に真空蒸着法により裏面電極層 15 を形成

し、他方、第一主表面側の ITO 透明電極層 8 上には、各発光素子チップに対応する領域毎にボンディングパッド 16 を配置し、適当な温度で電極定着用のベーキングを施すことにより、図 3 (f) に示す発光素子ウェーハ 50 が得られる。該発光素子ウェーハ 50 は、各発光素子チップ領域を分離するために図 4 (a) に示すようにハーフダイシングされ、さらに (b) に示すようにダイシング面の加工歪をメサエッチングにより除去した後、(c) に示すスクライビングにより発光素子チップ 51 に分離される。そして、(d) に示すように、裏面電極層 15 (図 3 参照) を Ag ペースト等の導電性ペーストを用いて支持体を兼ねた端子電極 9a に固着する一方、ボンディングパッド 16 と別の端子電極 9b とにまたがる形態で Au ワイヤ 47 をボンディングし、(e) に示すように樹脂モールド 52 を形成することにより発光素子 100 が得られる。

【0045】上記発光素子 100 の構成によると、InGaAs 層 7 の形成により ITO 透明電極層 8 の接触抵抗が下がり、発光層部 24 への通電電流密度が向上して高輝度の発光素子を実現できる。また、光取り出し量が多い第二領域において InGaAs 層 7 の形成領域と非形成領域とを混在させることにより、発光層部 24 で生じた光は InGaAs 層 7 を透過する経路と、非形成領域において InGaAs 層 7 を迂回する経路との 2 通りの経路にて取り出される。このうち、後者においては、InGaAs 層 7 を透過する際の光吸収を生じないので、光取出効率を向上させることができる。

【0046】一方、ボンディングパッド 16 は発光層部 24 からの光の大部分を遮蔽するため、発光層部 24 においてボンディングパッド 16 の直下領域、つまり光取り出し量が少ない第一領域に通電電流が集中しないこと、むしろ、ボンディングパッド 16 の周囲の光取り出し量が多い第二領域に通電電流がなるべく多く分配されることが、光取出効率を高める上で望ましい。そこで、図 1 の発光素子 100 においては、ボンディングパッド 16 の直下領域において InGaAs 層 7 を作為的に非形成とすることで、この領域では ITO 透明電極層 8 の接触抵抗が高くなり電流が流れにくくなる。その結果、ITO 透明電極層 8 を介して発光層部 24 に通電される電流は、光取り出し量が少ない第一領域を迂回して光取り出し量が多い第二領域に優先的に分配され、光取出効率を高めることができる。

【0047】また、p 型 AlGaInP クラッド層 6 の全面が ITO 透明電極層 8 により覆われてなり、この ITO 透明電極層 8 を介して駆動電圧が印加される。駆動電圧による駆動電流は導電性の良好な ITO 透明電極層 8 の全面に均一に拡散するので、光取出面の全体にわたって均一な発光が得られるとともに、電極層 8 が透明なので光取出効率が向上する。さらに、ITO 透明電極層 8 は、バンドギャップが比較的狭い InGaAs 層 7 に

対しオーミック状接触状態を形成するため、接触部の直列抵抗が小さく抑えられ、発光効率が大幅に高められている。

【0048】さらに、従来の発光素子のような厚い電流拡散層が不要となるため、ITO透明電極層(酸化物透明電極層)と発光面までの距離を大幅に短くできる。その結果、直列抵抗の低減を図ることができる。なお、発光面は、以下のように定義する。まず、発光層部24が上記のようなダブルヘテロ構造を有する場合には、酸化物透明電極層(ITO透明電極層8)に近い側のクラッド層/活性層界面(ITO透明電極層8からみればp型クラッド層6と活性層5との界面である)を発光面として定義する。他方、本発明は、上記のようなダブルヘテロ構造型の発光層部を有するものに限らず、シングルヘテロ構造型の発光部を有する発光素子にも適用可能であるが、この場合は、そのヘテロ接合界面を発光面として定義する。そして、本発明の採用により、酸化物透明電極層と電極接合層との界面から発光面までの距離は、具体的には $3\mu\text{m}$ 以下の小さな値とすることが可能となる。

【0049】なお、電極接合層であるInGaAs層7は、適当なドーパントの添加により、これと接する各クラッド層6とそれぞれ同じ導電型を有するものとして形成してもよいが、InGaAs層7を上記のような薄層として形成する場合は、これらをドーパント濃度の低い低ドーブ層(例えば 10^{17} 個/ cm^3 以下;あるいはノンドープ層(10^{13} 個/ $\text{cm}^3 \sim 10^{16}$ 個/ cm^3))として形成しても直列抵抗の過度の増加を招かないので、問題なく採用可能である。他方、低ドーブ層とした場合、発光素子の駆動電圧によっては、以下のような効果が達成できる。すなわち、電極接合層を低ドーブ層とすることで、層の電気抵抗率自体は高くなるので、これを挟む電気抵抗率の小さいクラッド層あるいはITO透明電極層に対して、電極接合層の層厚方向に印加される電界(すなわち、単位距離当たりの電圧)が相対的に高くなる。このとき、電極接合層を、バンドギャップの比較的小さいInGaAsにより形成しておく、上記電界の印加により電極接合層のバンド構造に適度な曲がりが生じ、より良好なオーミック状接合を形成することができる。

【0050】なお、図1においては光取り出し量が少ない第一領域(ボンディングパッド16の直下領域)からInGaAs層7が排除されていたが、該直下領域への過度の電流集中が生じなければ、図7に示すように、第一領域にもInGaAs層7を形成することができる。この場合、InGaAs層7の形成領域の面積率が、光取り出し量が少ない第一領域において光取り出し量が多い第二領域よりも小さくなっていればよい。

【0051】また、InGaAs層7の厚みを非常に小さくできる場合、あるいはInGaAs以外の光吸収の

小さい電極接合層を使用できる場合など、電極接合層による光吸収の影響がそれほど問題にならない場合は、図8に示すように、光取り出し量が多い第二領域の全面を電極接合層(図ではInGaAs層7)により覆うようにしてもよい。また、図9に示すように、ITO透明電極層と接触する通電端子60の形状の工夫により、ボンディングパッドを廃止できる場合や、あるいはボンディングパッド16による光遮蔽を考慮する必要がない場合等においては、ITO透明電極層8の全面にInGaAs層7の形成領域を分散させることも可能である。

【0052】また、図1の発光素子100においては、ダブルヘテロ構造をなす発光層部24の各層をAlGaInP混晶にて形成していたが、ダブルヘテロ構造をなす発光層部の各層(p型クラッド層、活性層及びn型クラッド層)をAlGaInN混晶により形成することにより、青色あるいは紫外発光用のワイドギャップ型発光素子を構成することもできる。発光層部は、図1の発光素子100と同様にMOVPE法により形成される。また、活性層は上記実施形態では単一層として形成していたが、これを、バンドギャップエネルギーの異なる複数の化合物半導体層が積層されたもの、具体的には、量子井戸構造を有するものとして構成することもできる。

【0053】なお、InGaAs層とAlGaInP層とを直接接合した場合、接合界面にやや高いヘテロ障壁が形成され、これに起因して直列抵抗成分が増大する場合があります。そこで、これを低減する目的で、図10に示すようにITO透明電極層8と接する電極接合層7と、AlGaInPクラッド層6との間に、両者の中間のバンドギャップエネルギーを有する中間層11を挿入することができる。中間層11は、例えばAlGaAs、GaInP及びAlGaInPの少なくとも1つを含むものとして構成でき、例えば中間層の全体を単一のAlGaAs層として構成できる。この構造を採用する場合でも、それら中間層の厚さはそれぞれ $0.1\mu\text{m}$ 以下($0.01\mu\text{m}$ 以上;これ以上薄くなると、バルクのバンド構造が失われ、所期の接合構造が得られなくなる)とすることが可能なため、薄層化によるエピタキシャル成長時間の短縮、ひいては生産性の向上を図ることができ、中間層形成による直列抵抗の増分も少なくできるため、発光効率も損なわれにくい。本発明においては、光取出面側に形成されたITO透明電極層8の一部領域のみに電極接合層7を形成しており、発光通電の際の電流密度はこれら電極接合層7の形成領域において選択的に高くなる傾向にある。もし、電極接合層7とAlGaInPクラッド層6との間に形成されるヘテロ障壁が高いと、電流集中の影響により、該電極接合層7とAlGaInPクラッド層6との接合界面を通過する際の電圧降下が一層甚だしくなり、見かけの直列抵抗がより大きくなりやすい問題がある。従って、電極接合層7をITO透明電極層8の全面に形成する場合よりも、中間

層11の形成によりヘテロ障壁高さを減ずることの効果が一層顕著であるといえる。

【0054】なお、中間層11は、厚さがごく小さい場合など、光吸収にそれほど悪影響を及ぼす心配が無い場合は、図10に示すように、発光層部24の全面を覆うように形成することができる。このようにすると、電極接合層7のみをパターニングすればよいので、例えば化学エッチングの場合、電極接合層7に対するエッチャントにて中間層11を十分にエッチングできない場合でも、製造が容易である。他方、図11に示すように、中間層11を電極接合層7の形成領域にのみ形成することもでき、中間層11による光吸収の影響をより小さくすることができる。この場合、電極接合層7と中間層11とを発光層部24の全面を覆うように形成しておき、前述のフォトリソグラフィにより、両者を各々パターニングすればよい。この場合は、気相エッチングにより電極接合層7と中間層11とを同時にエッチングしてもよいし、化学エッチングの場合は、電極接合層7と中間層11とでエッチャントを交換して順次エッチングを行なうことも可能である。また、化学エッチングにより電極接合層7をパターニングする際に、中間層11は、発光層部24側への腐食の進行を停止させるストップ層として利用できる場合がある。例えば、電極接合層7をInを含有したGaAsにて構成する場合、中間層11をAlGaAsにて構成しておけば、アンモニア/過酸化水素をエッチャントとすることで、中間層11をストップ層として電極接合層7のみを選択エッチングすることができる。

【0055】(実施の形態2) 実施の形態1の電極接合層はMOVPE法で形成したInGaAs層であったが、これを以下のような電極接合層として形成することも可能である。すなわち、図5(b)を援用して説明すると、InGaAs層7に代えてGaAs層7'を、同様にパターニングした形で形成し、図6と同様にITO透明電極層8を形成して図14の積層体ウェーハ13とする。

【0056】そして、図15に示すように、この積層体ウェーハ13を炉Fの中に配置し、例えば窒素雰囲気中あるいはAr等の不活性ガス雰囲気中にて、600℃以上750℃以下(例えば700℃)の低温で、5秒以上120秒以下(例えば30秒)の短時間の熱処理を施す。これにより、ITO透明電極層8からGaAs層7'にInが拡散し、Inを含有したGaAsよりなる電極接合層7が得られる。該電極接合層7は、図16①において、ITO透明電極層との界面近傍におけるIn濃度が、InとGaとの合計濃度に対するInの原子比にて、0.1以上0.6以下とされる。また、In濃度は、ITO透明電極層から厚さ方向に遠ざかるにつれ連続的に減少するものとなっており、ITO透明電極層8(図1)との各境界近傍におけるIn濃度を C_B とし、

これと反対側の境界近傍(つまり、クラッド層6(図1)との各境界近傍)におけるIn濃度を C_A としたとき、 C_B/C_A が0.8以下となるように調整されている。電極接合層7の厚さ t は、0.001 μm 以上0.02 μm 以下(望ましくは0.005 μm 以上0.01 μm 以下)である。

【0057】電極接合層7は、AlGaInPよりなる発光層部24に対し、格子整合性の良好なGaAs層7'をまず形成し、ITO透明電極層を形成した後、比較的低温で短時間の熱処理を施すことにより、In含有量が過剰でなく、しかも均質で連続性の良好なものとなる。その結果、発光層部24との格子不整合による、発光強度低下などの品質劣化を効果的に防止することができる。

【0058】電極接合層7は、適当なドーパントの添加により、これと接する各クラッド層6、4とそれぞれ同じ導電型を有するものとして形成してもよいが、これら電極接合層7を上記のような薄層として形成する場合は、これらをドーパント濃度の低い低ドーブ層(例えば 10^{17} 個/ cm^3 以下;あるいはノンドープ層(10^{13} 個/ $\text{cm}^3 \sim 10^{16}$ 個/ cm^3))として形成しても直列抵抗の過度の増加を招かないので、問題なく採用可能である。他方、低ドーブ層とした場合、発光素子の駆動電圧によっては、以下のような効果が達成できる。すなわち、電極接合層7を低ドーブ層とすることで、層の電気抵抗率自体は高くなるので、これを挟む電気抵抗率の小さいクラッド層あるいはITO透明電極層8に対して、電極接合層7の層厚方向に印加される電界(すなわち、単位距離当たりの電圧)が相対的に高くなる。このとき、電極接合層7を、バンドギャップの比較的小さいInを含有したGaAsにより形成しておくと、上記電界の印加により電極接合層のバンド構造に適度な曲がりが生じ、より良好なオーミック状接合を形成することができる。そして、図16に示すように、電極接合層7のIn濃度が、ITO透明電極層8との接触側にて高められていることで、該効果が一層顕著なものとなる。なお、本実施形態においても、実施の形態1と全く同様に、中間層11を形成することができる。

【図面の簡単な説明】

【図1】本発明の発光素子の一例を積層構造にて示す模式図。

【図2】図1の発光素子の、電極接合層の形成パターンをいくつか例示した模式図。

【図3】図1の発光素子の製造工程を示す模式図。

【図4】図3に続く模式図。

【図5】フォトリソグラフィによる電極接合層のパターニング方法を説明する図。

【図6】パターニングされた電極接合層上にITO透明電極層8を形成した状態を示す図。

【図7】図1の発光素子の、第一の変形例を示す図。

【図8】図1の発光素子の、第二の変形例を示す図。

【図9】図1の発光素子の、第三の変形例を示す図。

【図10】図1の発光素子の、第四の変形例を示す図。

【図11】図1の発光素子の、第五の変形例を示す図。

【図12】電極接合層のバンド構造の第一例を示す模式図。

【図13】電極接合層のバンド構造の第二例を示す模式図。

【図14】GaAs層にITO透明電極層からのInを拡散させて電極接合層とする製造工程を示す模式図。

【図15】図14に続く模式図。

【図16】図14及び図15の工程により製造した電極接合層のIn濃度分布の一例を、比較例と共に示す模式図。

【図17】同じく電極接合層のIn濃度分布の別例を示す模式図。

【符号の説明】

4 n型AlGaInPクラッド層（第二導電型クラッド層）

5 AlGaInP活性層

6 p型AlGaInPクラッド層（第一導電型クラッド層）

7 InGaAs層（電極接合層）

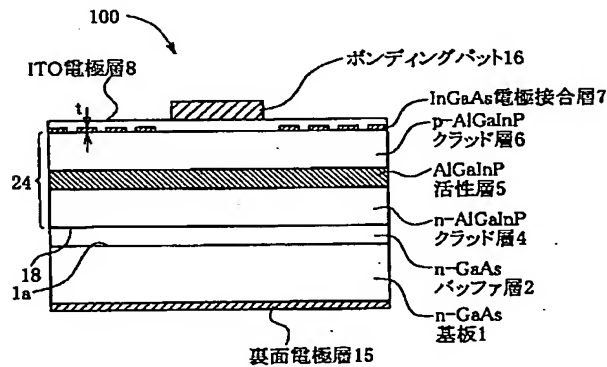
8 ITO透明電極層（酸化物透明電極層）

11 中間層

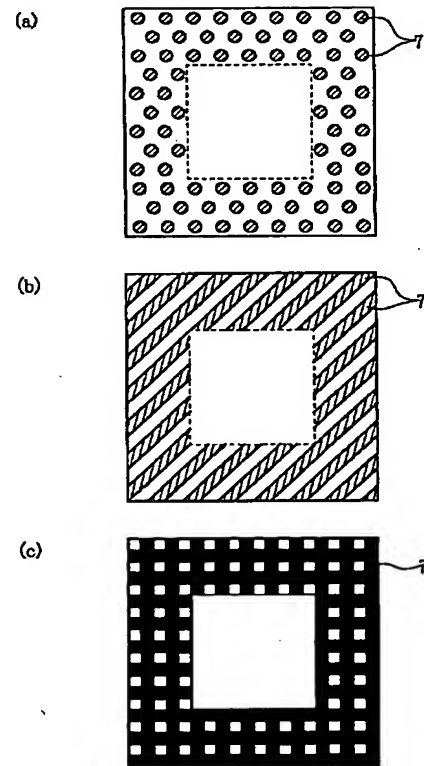
24 発光層部

100 発光素子

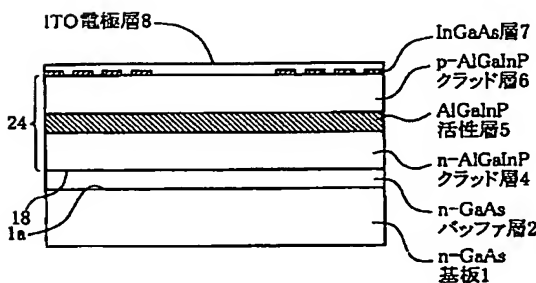
【図1】



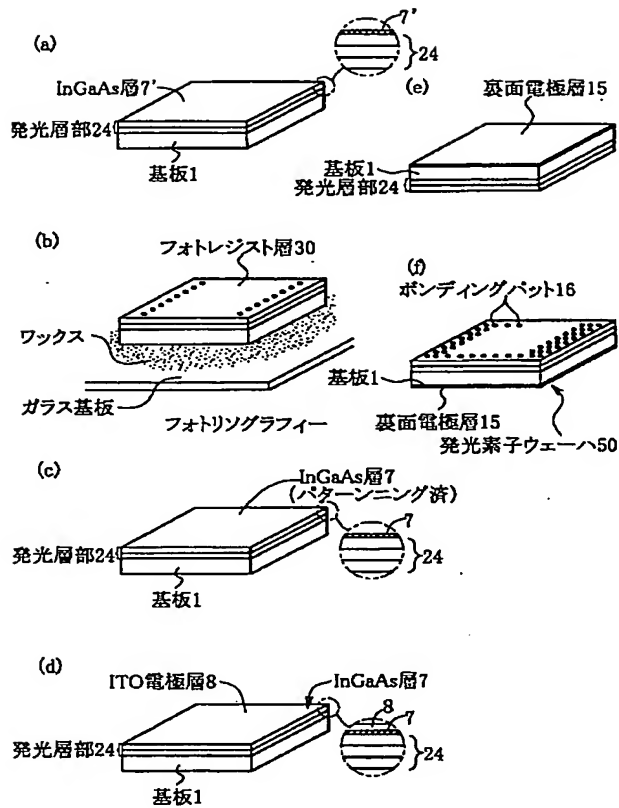
【図2】



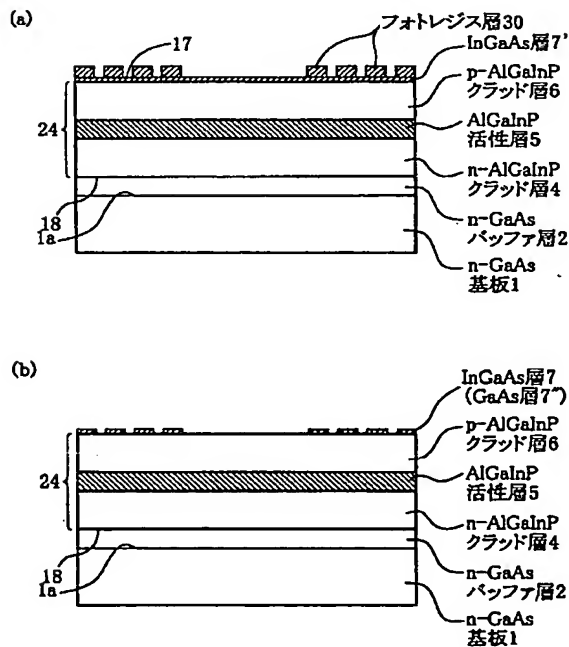
【図6】



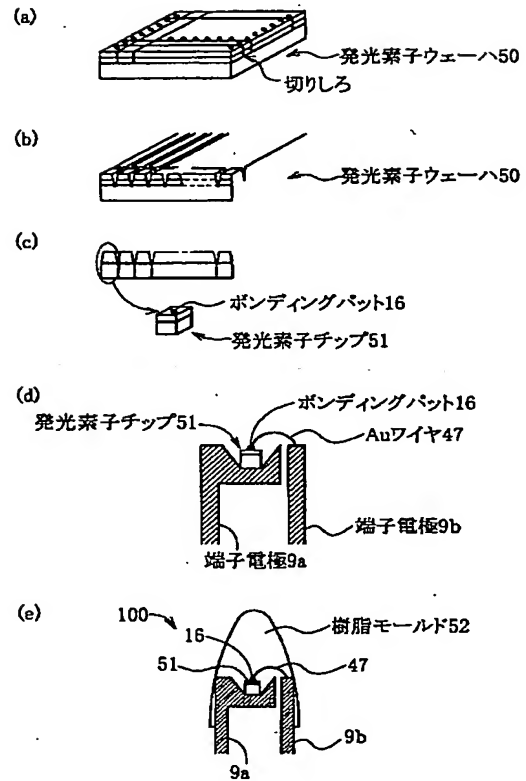
【図3】



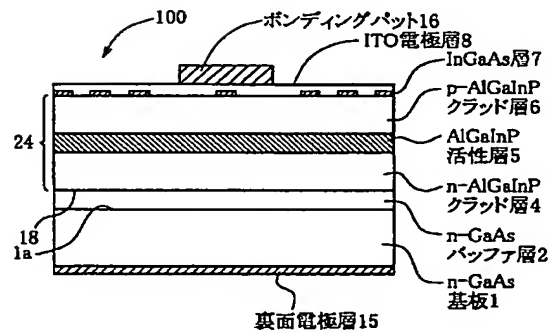
【図5】



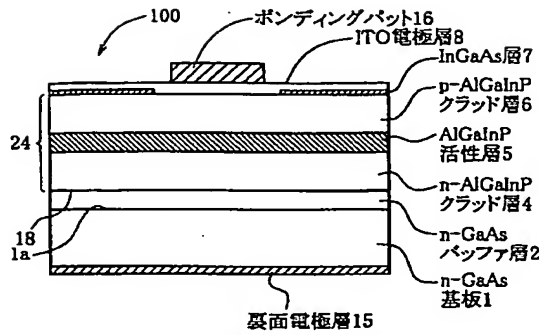
【図4】



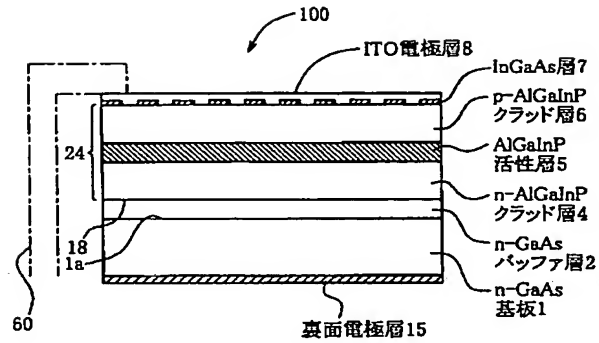
【図7】



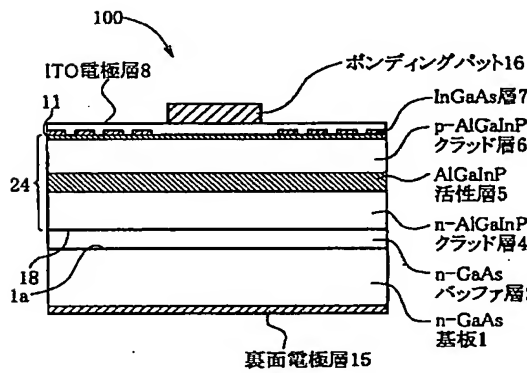
【図8】



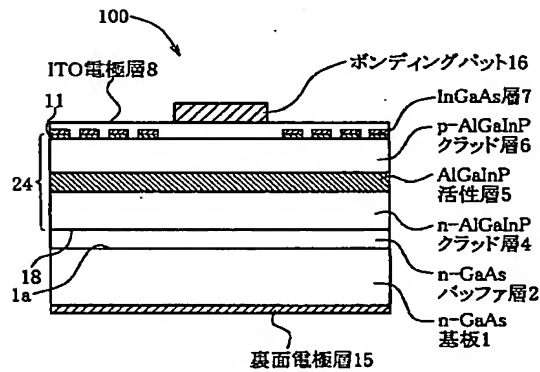
【図9】



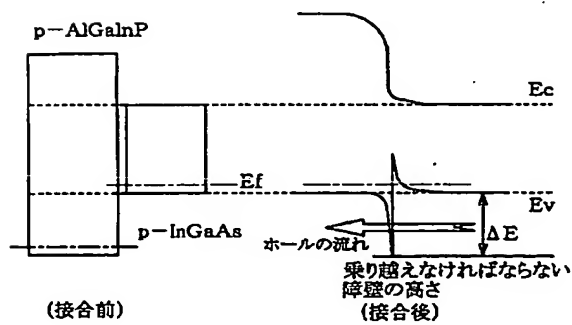
【図10】



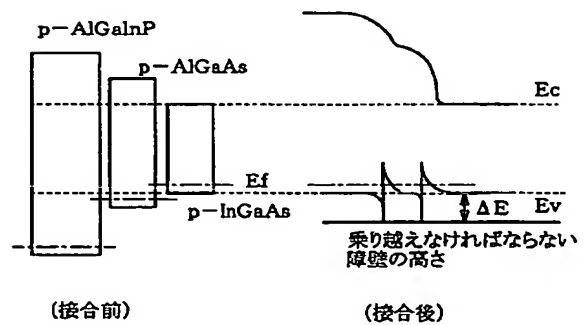
【図11】



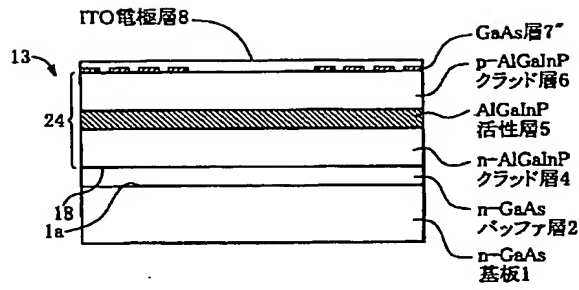
【図12】



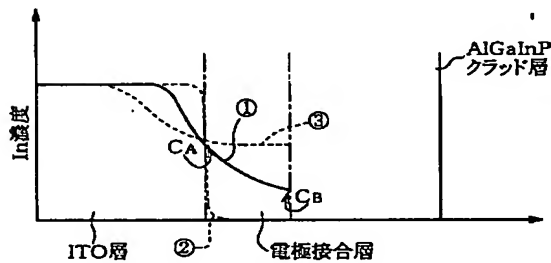
【図13】



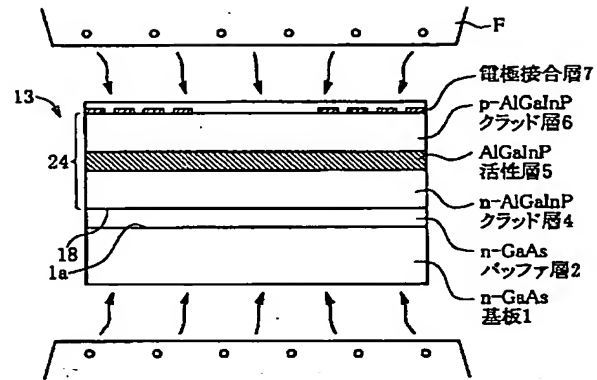
【図14】



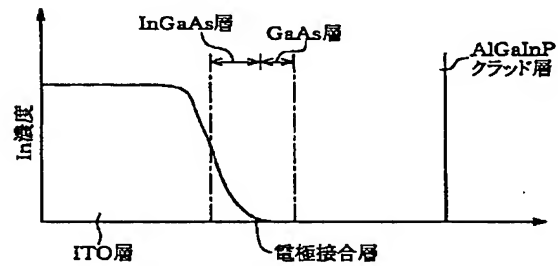
【図16】



【図15】



【図17】



フロントページの続き

(72)発明者 山田 雅人
群馬県安中市磯部二丁目13番1号 信越半
導体株式会社磯部工場内
(72)発明者 能登 宣彦
群馬県安中市磯部二丁目13番1号 信越半
導体株式会社半導体磯部研究所内

(72)発明者 野崎 眞次
神奈川県川崎市桁形6-5-2 フローラ
ルガーデン向ヶ丘遊園308
(72)発明者 内田 和男
東京都大田区久が原4-5-7
(72)発明者 森崎 弘
埼玉県鶴ヶ島市鶴が丘27-16-606
Fターム(参考) 5F041 AA03 AA21 CA04 CA34 CA35
CA65 CA73 CA88 CA99

US PATENT & TRADEMARK OFFICE
PATENT APPLICATION FULL TEXT AND IMAGE DATABASE[Help](#)[Home](#)[Boolean](#)[Manual](#)[Number](#)[PTDLs](#)[Bottom](#)[View Shopping Cart](#)[Add to Shopping Cart](#)[Images](#)

(1 of 1)

United States Patent Application

20030059972

Kind Code

A1

Ikeda, Shunichi ; et al.

March 27, 2003

Light-emitting device and method for manufacturing the same

Abstract

The light-emitting device 100 has an ITO electrode layer 8 for applying drive voltage for light emission to a light emitting layer section 24, where the light from the light emitting layer section 24 is extracted as being passed through the ITO electrode layer 8. Between the light emitting layer section 24 and the ITO electrode layer 8, an electrode contact layer 7 composed of In-containing GaAs is located so as to contact with such ITO electrode layer 8, where occupied areas and unoccupied areas for the electrode contact layer 7 are arranged in a mixed manner on the contact interface with the transparent electrode layer 8. The electrode contact layer 7 can be obtained by annealing a stack 13, which comprises a GaAs layer 7" formed on the light emitting layer section 24 and the ITO electrode layer 8 formed so as to contact with the GaAs layer 7", to thereby allow In to diffuse from the ITO electrode layer to the GaAs layer 7".

Inventors: Ikeda, Shunichi; (*Annaka-shi, JP*) ; Yamada, Masato; (*Annaka-shi, JP*) ; Noto, Nobuhiko; (*Annaka-shi, JP*) ; Nozaki, Shinji; (*Kawasaki-shi, JP*) ; Uchida, Kazuo; (*Tokyo, JP*) ; Morisaki, Hiroshi; (*Tsurugashima-shi, JP*)

Correspondence **Ronald R. Snider**
Name and **Snider & Associates**
Address: **P.O. Box 27613**
Washington
DC
20038-7613
US

Assignee Name **SHIN-ETSU HANDOTAI CO., LTD.**
and Address: **Tokyo**
JP

Serial No.: 255000
Series Code: 10
Filed: September 26, 2002

U.S. Current Class:

438/47; 257/96; 257/E33.005; 257/E33.065; 438/93

U.S. Class at Publication:

438/47; 438/93; 257/96

Intern'l Class:

H01L 021/00; H01L 033/00

Foreign Application Data

| Date | Code | Application Number |
|--------------|------|--------------------|
| Sep 27, 2001 | JP | 2001-297927 |
| Sep 4, 2002 | JP | 2002-259396 |

Claims

What is claimed is:

1. A light-emitting device having a light emitting layer section which comprises a compound semiconductor layer, and an oxide transparent electrode layer for applying drive voltage for light emission to the light emitting layer section, which device being composed so that the light from the light emitting layer section can be extracted through the oxide transparent electrode layer, wherein an electrode contact layer for reducing contact resistance of the oxide transparent electrode layer is arranged between the light emitting layer section and the oxide transparent electrode layer so as to contact with such oxide transparent electrode layer, where on a contacting interface of such oxide transparent electrode layer, occupied areas and unoccupied areas for the electrode contact layer are arranged in a mixed manner.
2. The light-emitting device according to claim 1, wherein the electrode contact layer comprises a compound semiconductor.
3. The light-emitting device according to claim 1, wherein the contacting interface of the oxide transparent electrode layer has a first zone which comprises an area just under a bonding pad placed on such oxide transparent electrode layer and a second zone which comprises the residual area therearound, where the second zone is larger in the amount of extracted light than the first zone, and the electrode contact layer is formed with a larger ratio of occupied area in the second zone than in the first zone.
4. The light-emitting device according to claim 3, wherein the first zone has formed therein no electrode contact layer.
5. The light-emitting device according to claim 3, wherein at least the second zone has formed therein the occupied areas and unoccupied areas for the electrode contact layer arranged in a mixed manner.
6. A light-emitting device having a light emitting layer section which comprises a compound semiconductor layer, and an oxide transparent electrode layer for applying drive voltage for light emission to the light emitting layer section, which device being composed so that the light from the light emitting layer section can be extracted through the oxide transparent electrode layer, wherein an electrode contact layer, composed of a compound semiconductor, for reducing contact resistance of the oxide transparent electrode layer is arranged between the light emitting layer section and the oxide transparent electrode layer so as to contact with such oxide transparent electrode layer; the contacting interface of the oxide transparent electrode layer has a first zone which comprises an area just under bonding pads and a second zone which comprises the residual area, where the second zone is larger in the amount of extracted light than the first zone; and at least the second zone has formed therein the occupied areas and

unoccupied areas for the electrode contact layer arranged in a mixed manner.

7. The light-emitting device according to claim 5, wherein the occupied areas for the electrode contact layer are formed in a discrete manner in the second zone.

8. The light-emitting device according to claim 6, wherein the occupied areas for the electrode contact layer are formed in a discrete manner in the second zone.

9. The light-emitting device according to claim 1, wherein the electrode contact layer comprises a compound semiconductor containing no aluminum at the contacting interface with the oxide transparent electrode layer, and having a band gap energy of less than 1.42 eV.

10. The light-emitting device according to claim 6, wherein the electrode contact layer comprises a compound semiconductor containing no aluminum at the contacting interface with the oxide transparent electrode layer, and having a band gap energy of less than 1.42 eV.

11. The light-emitting device according to claim 9, wherein the compound semiconductor composing the electrode contact layer is expressed as $\text{In}_{0.1-x}\text{Ga}_{0.9-x}\text{As}$ ($0 < x \leq 0.1$) at the contacting interface with the oxide transparent electrode layer.

12. The light-emitting device according to claim 10, wherein the compound semiconductor composing the electrode contact layer is expressed as $\text{In}_{0.1-x}\text{Ga}_{0.9-x}\text{As}$ ($0 < x \leq 0.1$) at the contacting interface with the oxide transparent electrode layer.

13. The light-emitting device according to claim 1, wherein the oxide transparent electrode layer is an oxide electrode layer containing at least any one of indium, tin and zinc.

14. The light-emitting device according to claim 6, wherein the oxide transparent electrode layer is an oxide electrode layer containing at least any one of indium, tin and zinc.

15. The light-emitting device according to claim 1, wherein the thickness of the electrode contact layer is adjusted within a range from 0.001 μm to 0.02 μm .

16. The light-emitting device according to claim 6, wherein the thickness of the electrode contact layer is adjusted within a range from 0.001 μm to 0.02 μm .

17. The light-emitting device according to claim 1, wherein the light emitting layer section is composed of $(\text{Al}_{0.1-x}\text{Ga}_{0.9-x})_{0.1-y}\text{In}_{0.9-y}\text{P}$ (where $0 \leq x \leq 0.1$ and $0 \leq y \leq 0.1$) or $\text{In}_{0.1-x}\text{Ga}_{0.9-x}\text{Al}_{0.1-y}\text{N}$ (where $0 \leq x \leq 0.1$, $0 \leq y \leq 0.1$ and $x+y \leq 0.1$).

18. The light-emitting device according to claim 6, wherein the light emitting layer section is composed of $(\text{Al}_{0.1-x}\text{Ga}_{0.9-x})_{0.1-y}\text{In}_{0.9-y}\text{P}$ (where $0 \leq x \leq 0.1$ and $0 \leq y \leq 0.1$) or $\text{In}_{0.1-x}\text{Ga}_{0.9-x}\text{Al}_{0.1-y}\text{N}$ (where $0 \leq x \leq 0.1$, $0 \leq y \leq 0.1$ and $x+y \leq 0.1$).

19. The light-emitting device according to claim 17, wherein the light emitting layer section has a double heterostructure which comprises a first conductivity type cladding layer, an active layer and a second conductivity type cladding layer stacked in this order, which layers being respectively composed of the above-described $(\text{Al}_{0.1-x}\text{Ga}_{0.9-x})_{0.1-y}\text{In}_{0.9-y}\text{P}$ or $\text{In}_{0.1-x}\text{Ga}_{0.9-x}\text{Al}_{0.1-y}\text{N}$, and the electrode contact layer is formed between the oxide transparent electrode layer and at least either of the first conductivity type cladding layer and second conductivity type cladding layer.

20. The light-emitting device according to claim 18, wherein the light emitting layer section has a double heterostructure which comprises a first conductivity type cladding layer, an active layer and a second conductivity type cladding layer stacked in this order, which layers being respectively composed of the above-described $(\text{Al}_{1-x}\text{Ga}_x\text{In}_y\text{N}_{1-y})$ or $(\text{In}_{1-x}\text{Ga}_x\text{Al}_y\text{N}_{1-y})$, and the electrode contact layer is formed between the oxide transparent electrode layer and at least either of the first conductivity type cladding layer and second conductivity type cladding layer.

21. The light-emitting device according to claim 19, wherein an intermediate layer is formed between the electrode contact layer and either of the cladding layers facing to the electrode contact layer, which is selected from the first conductivity type cladding layer and the second conductivity type cladding layer, the intermediate layer having an intermediate band gap energy between those of the electrode contact layer and such cladding layer.

22. The light-emitting device according to claim 20, wherein an intermediate layer is formed between the electrode contact layer and either of the cladding layers facing to the electrode contact layer, which is selected from the first conductivity type cladding layer and the second conductivity type cladding layer, the intermediate layer having an intermediate band gap energy between those of the electrode contact layer and such cladding layer.

23. The light-emitting device according to claim 21, wherein the light emitting layer section is composed of $(\text{Al}_{1-x}\text{Ga}_x\text{In}_y\text{N}_{1-y})$ (where $0 \leq x \leq 1$ and $0 \leq y \leq 1$), and the intermediate layer is formed as including at least one of AlGaAs layer, GaInP layer and AlGaInP layer.

24. The light-emitting device according to claim 22, wherein the light emitting layer section is composed of $(\text{Al}_{1-x}\text{Ga}_x\text{In}_y\text{N}_{1-y})$ (where $0 \leq x \leq 1$ and $0 \leq y \leq 1$), and the intermediate layer is formed as including at least one of AlGaAs layer, GaInP layer and AlGaInP layer.

25. The light-emitting device according to claim 19, wherein the light emitting layer section is composed of $(\text{Al}_{1-x}\text{Ga}_x\text{In}_y\text{N}_{1-y})$ (where $0 \leq x \leq 1$ and $0 \leq y \leq 1$) as having a double heterostructure which comprises the first conductivity type cladding layer, the active layer and the second conductivity type cladding layer stacked in this order, an ITO electrode layer is provided as the oxide transparent electrode on either side of the first conductivity type cladding layer and the second conductivity type cladding layer so that the light from the light emitting layer section can be extracted through such ITO electrode layer, and the electrode contact layer composed of In-containing GaAs is formed so as to contact with such ITO electrode layer, and the electrode contact layer has a distribution of the In concentration along the thickness-wise direction thereof such that continuously decreasing as the distance from the ITO electrode layer increases.

26. The light-emitting device according to claim 20, wherein the light emitting layer section is composed of $(\text{Al}_{1-x}\text{Ga}_x\text{In}_y\text{N}_{1-y})$ (where $0 \leq x \leq 1$ and $0 \leq y \leq 1$) as having a double heterostructure which comprises the first conductivity type cladding layer, the active layer and the second conductivity type cladding layer stacked in this order, an ITO electrode layer is provided as the oxide transparent electrode on either side of the first conductivity type cladding layer and the second conductivity type cladding layer so that the light from the light emitting layer section can be extracted through such ITO electrode layer, and the electrode contact layer composed of In-containing GaAs is formed so as to contact with such ITO electrode layer, and the electrode contact layer has a distribution of the In concentration along the thickness-wise direction thereof such that continuously decreasing as the distance from the ITO electrode layer increases.

27. The light-emitting device according to claim 25, wherein the electrode contact layer has a value of $C_{\text{sub.B}}/C_{\text{sub.A}}$ of 0.8 or below, assuming $C_{\text{sub.A}}$ as the In concentration in the vicinity of the interface with the ITO electrode layer, and $C_{\text{sub.B}}$ as the In concentration in the vicinity of the interface opposite thereto.

28. The light-emitting device according to claim 26, wherein the electrode contact layer has a value of $C_{\text{sub.B}}/C_{\text{sub.A}}$ of 0.8 or below, assuming $C_{\text{sub.A}}$ as the In concentration in the vicinity of the interface with the ITO electrode layer, and $C_{\text{sub.B}}$ as the In concentration in the vicinity of the interface opposite thereto.

29. The light-emitting device according to claim 25, wherein the electrode contact layer has an In concentration in the vicinity of the interface with the ITO electrode layer, as being expressed by an atomic ratio of the In concentration to the total concentration of In and Ga, of 0.1 to 0.6.

30. The light-emitting device according to claim 26, wherein the electrode contact layer has an In concentration in the vicinity of the interface with the ITO electrode layer, as being expressed by an atomic ratio of the In concentration to the total concentration of In and Ga, of 0.1 to 0.6.

31. The light-emitting device according to claim 27, wherein the electrode contact layer has an In concentration in the vicinity of the interface with the ITO electrode layer, as being expressed by an atomic ratio of the In concentration to the total concentration of In and Ga, of 0.1 to 0.6.

32. The light-emitting device according to claim 28, wherein the electrode contact layer has an In concentration in the vicinity of the interface with the ITO electrode layer, as being expressed by an atomic ratio of the In concentration to the total concentration of In and Ga, of 0.1 to 0.6.

33. A method for manufacturing light-emitting device having a light emitting layer section which is composed of $(\text{Al}_{\text{sub.x}}\text{Ga}_{\text{sub.1-x}})_{\text{sub.y}}\text{In}_{\text{sub.1-y}}\text{P}$ (where $0 \leq x \leq 1$ and $0 \leq y \leq 1$) as having a double heterostructure which comprises a first conductivity type cladding layer, an active layer and a second conductivity type cladding layer stacked in this order; and having an ITO electrode layer for applying drive voltage for light emission to such light emitting layer section provided on either side of the first conductivity type cladding layer and the second conductivity type cladding layer, comprising the steps of: forming a GaAs layer on the light emitting layer section so that occupied areas and unoccupied areas for the GaAs layer are arranged in a mixed manner; forming the ITO transparent conductive layer so as to contact with the GaAs layer; and annealing the ITO electrode layer so as to allow In contained therein to diffuse into the GaAs layer to thereby convert such GaAs layer into an In-containing electrode contact layer.

34. The method for manufacturing light-emitting device according to claim 33, wherein the annealing is carried out so that the electrode contact layer will have a distribution of the In concentration along the thickness-wise direction thereof such that continuously decreasing as the distance from the ITO electrode layer increases.

35. The method for manufacturing light-emitting device according to claim 33, wherein the annealing is carried out so that the electrode contact layer will have a value of $C_{\text{B}}/C_{\text{sub.A}}$ of 0.8 or below, assuming $C_{\text{sub.A}}$ as the In concentration in the vicinity of the interface with the ITO electrode layer, and $C_{\text{sub.B}}$ as that in the vicinity of the interface opposite thereto.

36. The method for manufacturing light-emitting device according to any one of claim 33, wherein the annealing is carried out so that the electrode contact layer will have an In concentration in the vicinity of the interface with the ITO electrode layer, as being expressed by an atomic ratio of the In concentration to the total concentration of In and Ga, of 0.1 to 0.6.

37. The method for manufacturing light-emitting device according to claim 33, wherein the annealing is carried out within a temperature range from 600 to 750.degree. C.

38. The method for manufacturing light-emitting device according to claim 33, wherein the annealing is carried out within a duration of time from 5 to 120 seconds.

Description

RELATED APPLICATIONS

[0001] This application claims the priority of Japanese Patent Applications No. 2001-297927 filed on Sep. 27, 2001 and No. 2002-259396 filed on Sep. 4, 2002, which are incorporated herein by reference.

BACKGROUND OF THE INVENTION

[0002] 1. Field of the Invention

[0003] The present invention relates to a light-emitting device and a method for manufacturing thereof.

[0004] 2. Related Art

[0005] A light-emitting device whose light emitting layer section is composed of $(\text{Al}_{\text{sub.x}}\text{Ga}_{\text{sub.1-x}})_{\text{sub.y}}\text{In}_{\text{sub.1-y}}\text{P}$ alloy (where $0 \leq x \leq 1$ and $0 \leq y \leq 1$, which may simply be expressed as AlGaInP alloy, or more simply as AlGaInP, hereinafter) can be provided as a high-luminance device when it employs a double heterostructure in which a thin AlGaInP active layer is placed between an n-type AlGaInP cladding layer and a p-type AlGaInP cladding layer, both of which having a larger band gap than that of the AlGaInP active layer. Recent efforts have also succeeded in putting a blue light-emitting device into practical use, which device having formed therein a similar double heterostructure using $\text{In}_{\text{sub.x}}\text{Ga}_{\text{sub.y}}\text{Al}_{\text{sub.1-x-y}}\text{N}$ (where $0 \leq x \leq 1$, $0 \leq y \leq 1$ and $x+y \leq 1$).

[0006] Referring now to an AlGaInP light-emitting device, a light emitting layer section thereof having the double heterostructure is formed by stacking an n-type GaAs buffer layer, an n-type AlGaInP cladding layer, an AlGaInP active layer and a p-type AlGaInP cladding layer, all of which layers are grown in this order on an n-type GaAs substrate by hetero epitaxial growth process. Current supply to the light emitting layer section is effected through metal electrodes formed on the surface of the device. The metal electrodes are typically formed so as to cover only a center portion of the main surface of the light emitting layer section since it can otherwise serve as a light interceptor, which allows the light to be extracted from the peripheral area having no electrode formed therein.

[0007] An area of the metal electrode as small as possible in this case can ensure a larger area for light leakage around the electrode, which is advantageous in that improving the light extraction efficiency. Previous efforts have been made in increasing the amount of extracted light by modifying shape of the electrode so as to effectively spread electric current throughout the device. This strategy is, however, still suffering from an inevitable problem of increasing area of the electrode, which raises a dilemma such that decreased area for light leakage undesirably limits the amount of extracted light. There is now another proposal of raising the light extraction efficiency by covering the main surface of the light emitting layer section with an ITO (indium tin oxide) electrode layer having a high conductivity in place of using the metal electrodes, which is

typically disclosed in Japanese Laid-Open Patent Publication No. 6-188455 or No. 1-225178.

[0008] Investigations by the present inventors, however, revealed that contact resistance with a compound semiconductor layer on the device side tends to become high by using the ITO-made transparent electrode layer as it is, which inevitably degrades the emission efficiency due to increase in series resistance. One typical method to reduce contact resistance is proposed in Japanese Laid-Open Patent Publication No. 1-225178, according to which an electrode contact layer composed of an InGaAs layer is provided between the ITO electrode layer and a semiconductor layer on the device side so as to be corresponded to the entire surface of the ITO electrode layer. It is, however, essential for this case that the electrode contact layer is made of InGaAs or the like having a low band gap energy in order to ensure ohmic contact, so that even an extremely small thickness thereof will inevitably result in degradation in the light extraction efficiency due to absorption of the light. Even for the case where the transparent electrode is used, a problem will still remain in a phase of manufacturing devices in that a metal bonding pad to which a wire for current supply is bonded must be arranged on the transparent electrode. This, however, tends to concentrate drive voltage to the areas where the highly-conductive metal bonding pad is formed, and tends to lower the light extraction efficiency due to poor current supply in the area around the pad, which serves as a light extraction area, so that it may not be always sure that using the transparent electrode promises effects to a sufficient degree.

SUMMARY OF THE INVENTION

[0009] Accordingly, the present invention is to provide a light-emitting device having an oxide transparent electrode layer as an electrode for driving light emission, and being capable of enhancing effect of improving the light extraction efficiency exhibited by such oxide transparent electrode layer, and also is to provide a method for manufacturing such light-emitting device.

[0010] The light-emitting device of the present invention premises that it has a light emitting layer section which comprises a compound semiconductor layer, and an oxide transparent electrode layer for applying drive voltage for light emission to the light emitting layer section, and that it is composed so that the light from the light emitting layer section can be extracted through the oxide transparent electrode layer, where a feature of the device resides in that an electrode contact layer for reducing contact resistance of the oxide transparent electrode layer is arranged between the light emitting layer section and the oxide transparent electrode layer so as to contact with such oxide transparent electrode layer, where on a contacting interface of such oxide transparent electrode layer, occupied areas and unoccupied areas for the electrode contact layer are arranged in a mixed manner. The electrode contact layer preferably comprises a compound semiconductor.

[0011] As has been described in the above, an oxide transparent electrode layer typically composed of ITO cannot always ensure a desirable ohmic contact even though a trial is made on bringing such layer into direct contact with a compound semiconductor layer on the device side, which may result in degraded emission efficiency due to increased series resistance based on the contact resistance. Whereas, the light-emitting device of the present invention is successful in reducing contact resistance of the oxide transparent electrode layer by placing the electrode contact layer for reducing contact resistance of the oxide transparent electrode layer so as to be brought into contact with the device side of such oxide transparent electrode layer. Further, the occupied areas and unoccupied areas for the electrode contact layer are arranged in a mixed manner on the contacting interface of the oxide transparent electrode layer, so that the light absorption by the electrode contact layer can successfully be reduced even when such electrode contact layer is, by nature, very likely to absorb the light from the light emitting layer section, since the light generated just under the occupied area for the electrode contact layer can leak through the non-occupied area adjacent thereto. Such formation of the electrode

contact layer can successfully raise the light extraction efficiency of the device as a whole.

[0012] The electrode contact layer formed so as to cover the entire portion of the contact plane on the device side of the oxide transparent electrode layer will, however, result in the problems below:

[0013] (1) contact resistance of the oxide transparent electrode layer is reduced even in an area just under the bonding pad used for wire bonding, but this undesirably tends to concentrate the drive current, and consequently light emission, within such area, where much portion of the emitted light is shielded by the bonding pad and thus light extraction efficiency will be degraded; and

[0014] (2) the electrode contact layer may serve as a light absorber depending on material species of compound semiconductor used therefor, which will similarly result in degradation of the light extraction efficiency.

[0015] To solve these problems, a feature of the light-emitting device according to a first aspect of the present invention resides in that the contacting interface of the oxide transparent electrode layer has a first zone which comprises an area just under a bonding pad placed on such oxide transparent electrode layer and a second zone which comprises the residual area therearound, where the second zone is larger in the amount of extracted light than the first zone, and the electrode contact layer is formed with a larger ratio of occupied area in the second zone than in the first zone.

[0016] According to such constitution, ratio of occupied area of the electrode contact layer formed on the contacting interface of the oxide transparent electrode layer is smaller in the area (first zone) just under the bonding pad, which extracts a less amount of light, than in the residual area (second zone) which extracts a larger amount of extracted light, so that the first zone will have an increased contact resistance of the oxide transparent electrode layer. This resultantly increases a component of the drive current for the light-emitting device, which flows into the second zone while bypassing the first zone, and successfully enhances the light extraction efficiency to a significant degree. It is now preferable in view of increasing the light extraction efficiency that the drive current for light emission does not, as possible, flow through the first zone which extracts a less amount of light. It is therefore preferable that the first zone has formed therein no electrode contact layer as possible. It is also preferable that the occupied areas and unoccupied areas for the electrode contact layer are arranged in a mixed manner at least in the second zone in the contacting interface of the oxide transparent electrode, which second zone extracts larger amount of light.

[0017] The light-emitting device according to a second aspect of the present invention premises that it has a light emitting layer section which comprises a compound semiconductor layer and an oxide transparent electrode layer for applying drive voltage for light emission to the light emitting layer section, and that the device is composed so that the light from the light emitting layer section can be extracted through the oxide transparent electrode layer, where a feature of the device resides in that an electrode contact layer, composed of a compound semiconductor, for reducing contact resistance of the oxide transparent electrode layer is arranged between the light emitting layer section and the oxide transparent electrode layer so as to contact with such oxide transparent electrode layer; the contacting interface of the oxide transparent electrode layer has a first zone which comprises an area just under bonding pads and a second zone which comprises the residual area, where the second zone is larger in the amount of extracted light than the first zone; and at least the second zone has formed therein the occupied areas and unoccupied areas for the electrode contact layer arranged in a mixed manner. The occupied areas for the electrode contact layer are preferable to be formed in a discrete manner.

[0018] According to such constitution, even if the electrode contact layer formed in order to reduce contact resistance of the oxide transparent electrode layer is very likely to absorb the light from the light emitting layer section, the light generated just under the occupied area for the electrode contact layer can leak through the adjacent non-occupied area, so that light absorption by the electrode contact layer is avoidable. This desirably enhances of the light extraction efficiency of the device as a whole.

[0019] Next discussion relates to the electrode contact layer, which electrode is excellent in reducing effect of contact resistance of the oxide transparent electrode layer and is preferably applicable to the present invention when it is composed of a compound semiconductor containing no Al at the contacting interface with the oxide transparent electrode layer and having a band gap energy of less than 1.42 eV. Possible reasons why the contact resistance of the oxide transparent electrode layer can be reduced by using such electrode contact layer are as follows:

[0020] (1) the oxide transparent electrode layer of a conventional light-emitting device for example was formed so as to be brought into contact with an AlGaAs current spreading layer, where AlAs alloy composition had to be considerably high in order to ensure a sufficient level of transparency of such current spreading layer. The AlGaAs alloy having a large AlAs alloy composition is, however, very likely to be oxidized since it contains Al in a high concentration, so that formation of the oxide transparent electrode layer allows oxygen contained therein to react with the Al component in the AlGaAs current spreading layer to thereby form an oxide layer having a high resistivity; and

[0021] (2) the AlGaAs alloy having a large AlAs alloy composition generally used for the current spreading layer has, although variable with the alloy composition, a band gap energy of as high as 2.02 to 2.13 eV, which is disadvantageous in that achieving ohmic contact or a low-resistivity contact nearly equivalent thereto (typically 10^{-4} $\Omega \cdot \text{cm}$ or below; these statuses of contact will generally be expressed as having ohmic contact status hereinafter). A problem similar to the case with AlGaAs may arise also when the oxide transparent electrode layer is directly stacked on the AlGaInP cladding layer without using the AlGaAs layer, since the band gap energy thereof is as high as 2.3 to 2.35 eV and Al is contained therein.

[0022] However by composing the electrode contact layer as described in the above at the contacting interface with the oxide transparent electrode layer, ohmic contact can readily be attained since the high-resistivity oxide layer is unlikely to be formed due to absence of Al in the contacting interface with the electrode contact layer, and since the band gap energy is small (less than 1.42 eV; which is typically 0.75 eV for $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$). This is successful in reducing contact resistance of the transparent electrode layer to a considerable degree. The compound semiconductor composing the electrode contact layer at the contacting interface with the oxide transparent electrode layer can more specifically be expressed as $\text{In}_{0.5-x}\text{Ga}_{0.5+x}\text{As}$ ($0 < x < 1$).

[0023] Materials composing the oxide transparent electrode layer can be those mainly comprising tin oxide (SnO_2) or indium oxide (In_2O_3). More specifically, ITO film having a high electric conductivity is preferably used for the oxide transparent electrode layer in the present invention. ITO film is an indium oxide film doped with tin oxide, where controlling the content of tin oxide within a range from 1 to 9 wt % can sufficiently suppress the resistivity of the electrode layer to as low as 5×10^{-4} $\Omega \cdot \text{cm}$ or less. Besides the ITO electrode layer, zinc oxide (ZnO) again having a high electric conductivity is applicable to the present invention. Still other materials available for the oxide transparent electrode layer include tin oxide doped with antimony oxide (so-called Nesa), $\text{Cd}_{0.2}\text{Sn}_{0.8}\text{O}$, $\text{Zn}_{0.2}\text{Sn}_{0.8}\text{O}$, ZnSnO_3 , $\text{MgIn}_{0.2}\text{O}_{0.4}$, $\text{CdSb}_{0.2}\text{O}_{0.6}$ doped with yttrium (Y) oxide, and $\text{GaIn}_{0.3}$ doped with tin oxide. In short, the oxide transparent electrode layer can contain at

least any one of indium, tin and zinc.

[0024] These oxide transparent electrode layers can be formed by known vapor phase film growth processes, examples of which include chemical vapor deposition process (CVD); physical vapor deposition (PVD) processes such as sputtering and vacuum evaporation; and molecular beam epitaxy (MBE) process. For example, ITO electrode layer and ZnO electrode layer can be produced by RF sputtering or vacuum evaporation, and Nesa film can be produced by CVD process. In place of these vapor-phase growth processes, it is also allowable to employ sol-gel process or other processes for the film growth.

[0025] The oxide transparent electrode layer can be formed so as to cover the entire surface of the main surface of the light emitting layer section. Such constitution is advantageous in that allowing the oxide transparent electrode layer to function as the current spreading layer, so that it is no more necessary to form a thick current spreading layer comprising a compound semiconductor as has previously been used, or the thickness thereof, even when it is to be formed, can considerably be reduced, which contributes cost reduction through simplifying the processes and is fairly beneficial from an industrial viewpoint. On the other hand, the thickness of the electrode contact layer need not be so thick provided that it is sufficient for achieving ohmic contact. More specifically for the case where a compound semiconductor composes the electrode contact layer, it is desirable to ensure a thickness which is not causative of shifting of the band gap energy from that of the bulk crystal after thinning, where a thickness of 0.001 μm or above will be sufficient (when In-containing GaAs, such as $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$, is used). This advantageously shortens the inter-layer distance between the oxide transparent electrode layer and the light emitting layer section as compared with that in the conventional light-emitting device, and results in a larger reducing effect of the series resistance. It should now be noted that an excessively large thickness of the electrode contact layer comprising $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ undesirably increases light absorption by the electrode contact layer and thus lowers the light extraction efficiency, so that the thickness is preferably adjusted to 0.02 μm or below.

[0026] The light emitting layer section composed of $(\text{Al}_{0.1}\text{Ga}_{0.9}\text{In}_{0.1})_{0.1}\text{P}_{0.9}$ (where $0.1 \leq x \leq 1$ and $0.1 \leq y \leq 1$) or $\text{In}_{0.1}\text{Ga}_{0.9}\text{Al}_{0.1}\text{N}_{0.9}$ (where $0.1 \leq x \leq 1$, $0.1 \leq y \leq 1$ and $x+y \leq 1$) contains Al for most cases and thus raises an issue of oxidative degradation, but adopting a constitution in which the oxide transparent electrode layer covers the entire surface thereof will be advantageous in that allowing such oxide transparent electrode layer to function as a passivation film for the light emitting layer section.

[0027] Although $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ is a compound semiconductor possibly having, depending on the alloy composition thereof, a little larger difference in lattice constant as compared with that of a compound semiconductor composing the light emitting layer section, adverse effect due to such lattice mismatching will be suppressed to a relatively small degree if it is formed as a thin layer having a thickness of approx. 0.001 to 0.02 μm , both ends inclusive. The electrode contact layer can thus be formed using this compound semiconductor.

[0028] When the electrode contact layer is formed using a compound semiconductor layer so as to directly contact with the oxide transparent electrode layer, it is preferable to use a compound semiconductor having a band gap energy of less than 1.42 eV at the contacting interface with the oxide transparent electrode layer in view of forming a desirable ohmic contact therewith, as described in the above. Since adverse effect of lattice mismatching can be relieved by the thinning as described in the above, it is also allowable to use InP, InAs, GaSb, InSb or alloy thereof, besides InGaAs.

[0029] The light emitting layer section comprising $(\text{Al}_{0.1}\text{Ga}_{0.9}\text{In}_{0.1})_{0.1}\text{P}_{0.9}$ or

$\text{In}_{1-x}\text{Ga}_x\text{Al}_{1-y}\text{N}$ can be composed as a double heterostructure which comprises a first conductivity type cladding layer, an active layer and a second conductivity type cladding layer stacked in this order, which layers being respectively composed of the above-described $(\text{Al}_{1-x}\text{Ga}_x\text{In}_{1-y})\text{P}$ or $\text{In}_{1-x}\text{Ga}_x\text{Al}_{1-y}\text{N}$. Energy barrier ascribable to difference in band gaps with the cladding layers formed on both sides of the active layer can effectively confine injected holes and electrons within a narrow active layer so as to promote recombination thereof, so that an extremely high emission efficiency can be attained. Further adjustment of component of the active layer can provide a wide range of light emission, where the former covers green to red region (peak emission wavelength falls within a range from 520 to 670 nm), and the latter covers ultraviolet to red region (peak emission wavelength falls within a range from 300 to 700 nm).

[0030] In the foregoing constitution, the electrode contact layer can be formed between the oxide transparent electrode layer and either of the first conductivity type cladding layer and second conductivity type cladding layer. For a typical case where only a main surface on one side of the light emitting layer section having a double heterostructure is used as a light extraction surface, the electrode contact layer is first formed between the cladding layer resides on that side and the oxide transparent electrode layer so as to contact with such oxide transparent electrode layer, and then the oxide transparent electrode layer can be formed. On the other hand, for a typical case where the main surfaces on both sides of the light emitting layer section are used as light extraction surfaces, the oxide transparent electrodes can be formed respectively for these cladding layers on both sides, and between the oxide transparent electrode and the cladding layer, the electrode contact layer can be formed so as to contact with such oxide transparent electrode layer.

[0031] It is also allowable to form an intermediate layer between the electrode contact layer and either of the cladding layers facing to the electrode contact layer, which is either of the first conductivity type cladding layer and the second conductivity type cladding layer, where the intermediate layer has an intermediate band gap energy between those of the electrode contact layer and such cladding layers. In order to enhance the carrier confinement efficiency into the active layer to thereby raise the internal quantum efficiency, it is necessary for the double heterostructured, light emitting layer section to have a barrier height between the cladding layer and the active layer raised to a certain level. As shown in a schematic band chart in FIG. 12 ($E_{\text{sub.c}}$ represents an energy level of the bottom of the conduction band, and $E_{\text{sub.v}}$ represents that of the top of the valence band), direct contacting of such cladding layer (AlGaInP layer, for example) with the electrode contact layer (InGaAs layer, for example) may sometimes result in generation of a relatively high hetero barrier therebetween due to contacting-induced bending of the energy band. The barrier height ΔE increases as the band-end discontinuity value between the cladding layer and the electrode contact layer increases, which is more likely to block carrier motion, in particular motion of holes having a larger effective mass. In a typical case using a metal electrode, coverage with such metal electrode over the entire surface of the cladding layer will prevent extracting of the light, so that the electrode must be formed only with a partial coverage. In this case, some strategy will be necessary to promote outward current spreading in the in-plane direction of the electrode in order to improve the light extraction efficiency. While many cases using the metal electrode employ an electrode contact layer typically composed of GaAs between the light emitting layer section and the metal electrode, it is more beneficial for the case where the metal electrode is used that a properly high barrier is formed between the electrode contact layer and the light emitting layer section in terms of promoting current spreading in the in-plane direction by virtue of carrier blocking effect expected from such barrier. However, formation of high barrier consequently results in increase in series resistance.

[0032] In contrast, it is almost unnecessary for the case using the ITO electrode layer to consider the carrier blocking effect expected from the barrier, since the ITO transparent

electrode per se has a considerably high current spreading property. Still another advantage of using the ITO electrode layer is such that the area from which the light can be extracted increases to a considerable degree as compared with the case using the metal electrode. Inserting now the intermediate layer between the electrode contact layer and the cladding layer as shown in FIG. 13, which intermediate layer having an intermediate band gap energy between those of the electrode contact layer and such cladding layer, will successfully reduce band-edge discontinuity value between the electrode contact layer and the intermediate layer, and between the intermediate layer and the cladding layer, which consequently lowers the barrier heights ΔE respectively formed therebetween. This eventually reduces the series resistance, and makes it possible to achieve a sufficiently high luminous intensity even under a low drive voltage.

[0033] Effect of using the intermediate layer will be eminent in particular when the double heterostructured, light emitting layer section is formed using AlGaInP which has a relatively good lattice matching with the In-containing GaAs which composes the electrode contact layer. For this case, the intermediate layer having an intermediate band gap energy between those of the electrode contact layer and the cladding layer is preferably formed while containing at least one of AlGaAs layer, GaInP layer and AlGaInP layer (having a composition adjusted so as to suppress the band gap energy lower than that of the cladding layer), which is exemplified by such that including an AlGaAs layer. The intermediate layer is also applicable to any light emitting layer sections other than that described in the above, such as a double heterostructured, light emitting layer section typically composed of $\text{In}_{0.5}\text{Ga}_{0.5}\text{Al}_{0.1}\text{P}_{0.4}$. For this case, the intermediate layer is preferably such that including an InGaAlN layer (having a composition adjusted so as to suppress the band gap energy than that of the cladding layer).

[0034] Next, the method for manufacturing light-emitting device according to the present invention is such that manufacturing a light-emitting device having a light emitting layer section which is composed of $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.9}\text{In}_{0.1}\text{P}$ (where $0 \leq x \leq 1$ and $0 \leq y \leq 1$) as having a double heterostructure which comprises a first conductivity type cladding layer, an active layer and a second conductivity type cladding layer stacked in this order; and having an ITO electrode layer for applying drive voltage for light emission to such light emitting layer section provided on either side of the first conductivity type cladding layer and the second conductivity type cladding layer; which comprises the steps of:

[0035] forming a GaAs layer on the light emitting layer section so that occupied areas and unoccupied areas for the GaAs layer are arranged in a mixed manner;

[0036] forming the ITO transparent conductive layer so as to contact with the GaAs layer; and

[0037] annealing the ITO electrode layer so as to allow In contained therein to diffuse into the GaAs layer to thereby convert such GaAs layer into an In-containing electrode contact layer.

[0038] In the method for manufacturing light-emitting device of the present invention, a GaAs layer is formed on the light emitting layer section which is composed of AlGaInP, and an ITO electrode layer is formed so as to contact with the GaAs layer. The light emitting layer section is typically composed of a III-V group compound semiconductor, and can typically be formed by known MOVPE process together with the GaAs layer formed thereon (where interposition of any other lattice-matched layer permissible). The GaAs layer can very easily establish lattice matching with the AlGaInP light emitting layer section, and can be formed with better uniformity and continuity as compared with those of an InGaAs layer directly formed thereon by the epitaxial growth process.

[0039] The ITO electrode layer is formed on the GaAs layer, and is then annealed so as to diffuse In from the ITO electrode layer towards the GaAs layer to thereby convert it into the

electrode contact layer. Thus annealed electrode contact layer which is composed of In-containing GaAs will never have an excessive In content, and can effectively prevent quality degradation such as lowered luminous intensity. Since the lattice matching between the GaAs layer and the light emitting layer section will be especially desirable when the light emitting layer section is composed of $(\text{Al}_{0.1} \text{Ga}_{0.9})_{1-y}\text{In}_y\text{P}$ (where $0.1 \leq x \leq 1$ and $0.45 \leq y \leq 0.55$), so that it is preferable to form the light emitting layer section (cladding layer or active layer) while setting the alloy composition "y" within the above range.

[0040] The foregoing annealing is preferably carried out so that the electrode contact layer will have a distribution of the In concentration along the thickness-wise direction thereof such that continuously decreasing as the distance from the ITO electrode layer increases (that is, creating an In concentration gradient) as shown by line {circle over (1)} in FIG. 16. Such constitution is attainable by allowing under annealing In to spread from the ITO side to the electrode contact layer side.

[0041] In the light-emitting device of the present invention in this case, the light emitting layer section is composed of $(\text{Al}_{0.1} \text{Ga}_{0.9})_{1-y}\text{In}_y\text{P}$ (where $0.1 \leq x \leq 1$ and $0.1 \leq y \leq 1$) as having a double heterostructure which comprises the first conductivity type cladding layer, the active layer and the second conductivity type cladding layer stacked in this order, an ITO electrode layer as the oxide transparent electrode for applying drive voltage for light emission to the light emitting layer section is provided on either side of the first conductivity type cladding layer and the second conductivity type cladding layer so that the light from the light emitting layer section can be extracted through such ITO electrode layer, the electrode contact layer composed of In-containing GaAs is formed so as to contact with such ITO electrode layer, and the electrode contact layer has a distribution of the In concentration along the thickness-wise direction thereof such that continuously decreasing as the distance from the ITO electrode layer increases. This means that, on the side closer to the light emitting layer section which is composed of AlGaInP, the electrode contact layer has a lower In concentration, in other words, that difference in the lattice constant with that of the light emitting layer section decreases. Formation of the electrode contact layer having such In concentration distribution is beneficial in that further improving lattice matching with the light emitting layer section. Excessively high annealing temperature or excessively long annealing time will result in excessive In diffusion from the ITO electrode layer, which makes the In concentration distribution almost constant over the thickness range of the electrode contact layer as indicated by line {circle over (3)} in FIG. 16, and fails in obtaining the above-described effect (conversely, excessively low annealing temperature or excessively short annealing time will result in shortage of the In concentration in the electrode contact layer as indicated by line {circle over (2)} in FIG. 16).

[0042] Assuming now in FIG. 16 that $C_{\text{sub.A}}$ is the In concentration in the vicinity of the interface with the ITO electrode layer, and $C_{\text{sub.B}}$ is the In concentration in the vicinity of the interface opposite thereto, a value of $C_{\text{sub.B}}/C_{\text{sub.A}}$ is preferably adjusted to 0.8 or below, and it is preferable to carry out the foregoing annealing so as to obtain such form of In concentration distribution. A value of $C_{\text{sub.B}}/C_{\text{sub.A}}$ exceeding 0.8 will result in only an insufficient improving effect of lattice matching with the light emitting layer section based on In concentration gradient. Compositional depth profile (In or Ga concentration distribution) of the electrode contact layer can be measured by known surface analytical technique such as secondary ion mass spectroscopy (SIMS), Auger electron spectroscopy (AES) and X-ray photoelectron spectroscopy (XPS), while gradually etching the layer in the depth-wise direction.

[0043] The electrode contact layer preferably has an In concentration in the vicinity of the interface with the ITO electrode layer, as being expressed by an atomic ratio of the In concentration to the total concentration of In and Ga, of 0.1 to 0.6, and it is preferable to carry out the foregoing annealing so as to obtain such In concentration. The In concentration

according to the above definition less than 0.1 will result in only an insufficient effect of reducing contact resistance of the electrode contact layer, and that exceeding 0.6 will result in serious deterioration such as lowered luminous intensity due to lattice mismatching between the electrode contact layer and the light emitting layer section. It is to be noted that as far as the electrode contact layer can keep the In concentration $C_{\text{sub.A}}$ in the vicinity of the interface with the ITO electrode layer typically within the above preferable range (0.1 to 0.6) as being expressed by an atomic ratio of the In concentration to the total concentration of In and Ga, there will be no problem if the In concentration $C_{\text{sub.B}}$ in the vicinity of the interface opposite to that facing to the ITO electrode layer has a value of zero, which is typified by a constitution in which the electrode contact layer has an InGaAs layer formed on the ITO electrode layer side, and has a GaAs layer formed on the opposite side.

[0044] ITO refers to indium oxide doped with tin oxide as described in the above. Formation of the ITO electrode layer on the GaAs layer, and annealing thereof within a proper temperature range readily provides the electrode contact layer having an In concentration within the foregoing preferable range. The annealing is also beneficial in further reducing the electrical resistivity of the ITO electrode layer. The annealing is preferably carried out within a range from 600.degree. C. to 750.degree. C. The annealing temperature exceeding 750.degree. C. tends to excessively accelerate the In diffusion into the GaAs layer, which often makes the In concentration in the electrode contact layer excessive. It is also anticipated that this makes it difficult to obtain the In concentration gradient such that being inclined along the thickness-wise direction of the electrode contact layer due to saturation of the In concentration. Both situations degrade the lattice matching between the electrode contact layer and the light emitting layer section. An excessive diffusion of In into the GaAs layer inevitably raises electrical resistivity of the electrode since In in the ITO electrode layer is exhausted around the contact area with the electrode contact layer. Still another problem of excessively high annealing temperature is that series resistance of the device is more likely to increase, which is ascribable to promoted oxidation of GaAs layer by oxygen spreaded from ITO. Both situations result in malfunction such that the light-emitting device cannot be driven at a proper voltage. An extremely high annealing temperature can even worsen the electrical resistivity of the ITO electrode layer. On the contrary, the annealing temperature lower than 600.degree. C. will excessively reduce the diffusion rate of In into the GaAs layer, so that a longer time will be necessary to sufficiently lower the contact resistance of the electrode contact layer, which considerably ruin production efficiency.

[0045] The annealing time is preferably set within a range from 5 to 120 seconds. The annealing time longer than 120 seconds will tends to excessively raise the amount of In diffusion into the GaAs layer in particular for the case where the annealing temperature is set close to the upper limit. It is, however, allowable to set the annealing time longer than 120 seconds (typically to as long as approx. 300 seconds) when the annealing temperature is set relatively low. On the other hand, the annealing time shorter than 5 seconds will make it difficult to obtain the electrode contact layer having a sufficiently low contact resistance due to shortage in the amount of In diffusion into the GaAs layer.

BRIEF DESCRIPTION OF THE DRAWINGS

[0046] FIG. 1 is a schematic drawing of a stacked structure of an exemplary light-emitting device according to the present invention;

[0047] FIG. 2A shows a schematic drawing of one exemplary formation pattern of the electrode contact layer of the light-emitting device shown in FIG. 1;

[0048] FIG. 2B shows a schematic drawing of another exemplary formation pattern of the electrode contact layer of the light-emitting device shown in FIG. 1;

[0049] FIG. 2C shows a schematic drawing of another exemplary formation pattern of the electrode contact layer of the light-emitting device shown in FIG. 1;

[0050] FIG. 3A shows a schematic drawing of manufacturing process of the light-emitting device shown in FIG. 1;

[0051] FIG. 3B shows a schematic drawing as continued from FIG. 3A;

[0052] FIG. 3C shows schematic drawing as continued from FIG. 3B;

[0053] FIG. 3D shows schematic drawing as continued from FIG. 3C;

[0054] FIG. 3E shows schematic drawing as continued from FIG. 3D;

[0055] FIG. 3F shows schematic drawing as continued from FIG. 3E;

[0056] FIG. 4 shows schematic drawings as continued from FIG. 3A to FIG. 3F;

[0057] FIG. 5 shows schematic drawings for explaining a patterning method for the electrode contact layer based on photo-lithography;

[0058] FIG. 6 is a schematic drawing of a status where an ITO electrode layer 8 is formed on the patterned electrode contact layer;

[0059] FIG. 7 is a schematic drawing of a first modified example of the light-emitting device shown in FIG. 1;

[0060] FIG. 8 is a schematic drawing of a second modified example of the light-emitting device shown in FIG. 1;

[0061] FIG. 9 is a schematic drawing of a third modified example of the light-emitting device shown in FIG. 1;

[0062] FIG. 10 is a schematic drawing of a fourth modified example of the light-emitting device shown in FIG. 1;

[0063] FIG. 11 is a schematic drawing of a fifth modified example of the light-emitting device shown in FIG. 1;

[0064] FIG. 12 is a first example of a band structure of the electrode contact layer;

[0065] FIG. 13 is a second example of a band structure of the electrode contact layer;

[0066] FIG. 14 is a schematic drawing of a production process by which In in the ITO transparent electrode is spreaded into the GaAs layer to produce the electrode contact layer;

[0067] FIG. 15 is a schematic drawing as continued from FIG. 14;

[0068] FIG. 16 is a schematic drawing showing an exemplary In concentration distribution in the electrode contact layer produced by the process shown in FIGS. 14 and 15 together with comparative examples; and

[0069] FIG. 17 is a schematic drawing of another example of In concentration distribution in the

electrode contact layer.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0070] Embodiments for carrying out the present invention will be explained below referring to the attached drawings.

[0071] (First Embodiment)

[0072] FIG. 1 is a schematic drawing showing a principal portion of a light-emitting device 100 according to one embodiment of the present invention. The light-emitting device 100 has an n-type GaAs single crystal substrate (simply referred to as a substrate, hereinafter) 1 and has formed on a first main surface thereof a light emitting layer section 24 while placing an n-type GaAs buffer layer 2 in between. On a first main surface side of the light emitting layer section 24, an InGaAs layer 7 as an electrode contact layer and an ITO electrode layer 8 as an oxide transparent electrode layer are formed in this order, and approximately at the center of the ITO electrode layer 8 there is provided a bonding pad 16 which is made of Au or the like so as to allow bonding of an electrode wire. On the other hand, a second main surface side of the substrate 1 has formed on the entire surface thereof a back-side electrode layer 15 which is made of a metal such as an Au—Ge—Ni alloy and also functions as a reflective layer.

[0073] The ITO electrode layer 8 herein is formed so as to cover the entire portion of the main surface of the light emitting layer section 24. On the other hand, the InGaAs layer 7 as the electrode contact layer is not formed in a first zone which falls just under the bonding pad 16 and extracts only a less amount of light, but is formed in a second zone therearound which extracts a larger amount of light. Further in the second zone, occupied areas and unoccupied areas for the InGaAs layer 7 are arranged in a mixed manner. The ITO electrode layer 8 and the light emitting layer section 24 are thus brought into a direct contact in the unoccupied areas for the InGaAs layer 7.

[0074] As shown in FIG. 2A to FIG. 2C, the occupied areas for the InGaAs layer 7 are formed in a discrete manner on the contacting interface of the ITO electrode layer 8, which successfully homogenizes the light emission from the light emitting layer section 24, and ensures uniform extraction of the light through the unoccupied areas for the InGaAs layer 7. FIG. 2A shows the occupied areas for the InGaAs layer 7 formed in a scattered dot pattern, and FIG. 2B shows the occupied and unoccupied areas, both having a thin stripe form, arranged in an alternative manner. FIG. 2C shows the unoccupied areas for the InGaAs layer 7 formed in a scattered dot pattern on the background of the occupied area, contrary to FIG. 2A, where the occupied areas for the InGaAs layer 7 are formed in a lattice pattern.

[0075] The light emitting layer section 24 has a double heterostructure which comprises a first conductivity type cladding layer 6, a second conductivity type cladding layer 4, and an active layer 5 positioned in between, where all of the layers comprises $(\text{Al}_{\text{sub}.x}\text{Ga}_{\text{sub}.1-x})_{\text{sub}.y}\text{In}_{\text{sub}.1-y}\text{P}$ alloy. More specifically, the structure is such that having the active layer 5 composed of a non-doped $(\text{Al}_{\text{sub}.x}\text{Ga}_{\text{sub}.1-x})_{\text{sub}.y}\text{In}_{\text{sub}.1-y}\text{P}$ alloy (where $0.\text{ltoreq}.x.\text{ltoreq}.0.55$ and $0.45.\text{ltoreq}.y.\text{ltoreq}.0.55$) placed between the p-type $(\text{Al}_{\text{sub}.x}\text{Ga}_{\text{sub}.1-x})_{\text{sub}.y}\text{In}_{\text{sub}.1-y}\text{P}$ cladding layer 6 and the n-type $(\text{Al}_{\text{sub}.x}\text{Ga}_{\text{sub}.1-x})_{\text{sub}.y}\text{In}_{\text{sub}.1-y}\text{P}$ cladding layer 4. The light-emitting device 100 shown in FIG. 1 has the p-type AlGaInP cladding layer 6 on the ITO electrode 8 side, and has the n-type AlGaInP cladding layer 4 on the back-side electrode layer 15 side. Thus the device has a positive conduction polarity on the ITO electrode layer 8 side. While being obvious to those skilled in the art, "non-doped" described herein means that "dopant is not intentionally added", and will never exclude containment of dopant component which can inevitably be included during normal manufacturing processes (typically $10.\text{sup}.13$ to $10.\text{sup}.16/\text{cm}.\text{sup}.3$ or around at most).

[0076] Thickness of the individual layers in the light-emitting device 100 shown in FIG. 1 are exemplified as follows.

[0077] InGaAs layer 7: thickness=approx. 0.005 μm

[0078] ITO electrode layer 8: thickness=0.2 μm , tin oxide content=7 wt % (residual portion comprises indium oxide)

[0079] p-type AlGaInP cladding layer 6: thickness=1 μm

[0080] AlGaInP active layer 5: thickness=0.6 μm

[0081] n-type AlGaInP cladding layer 4: thickness=1 μm

[0082] Next paragraphs will describe a method for manufacturing the light-emitting device 100 shown in FIG. 1.

[0083] First as shown in FIG. 1, on the first main surface 1a of the GaAs single crystal substrate 1 which is a compound semiconductor substrate ensuring lattice matching with AlGaInP alloy, the n-type GaAs buffer layer 2 typically having a thickness of 0.5 μm is grown, and thereon the light emitting layer section 24 is formed by stacking the n-type AlGaInP cladding layer 4 of 1 μm thick, the (non-doped) AlGaInP active layer 5 of 0.6 μm thick, and the p-type AlGaInP cladding layer 6 of 1 μm thick, and further on such p-type AlGaInP cladding layer 6 an InGaAs layer 7' (FIG. 3A) of 0.005 μm thick is formed by epitaxial growth, to thereby obtain a structure shown in FIG. 3A. Epitaxial growth of the individual layers can be carried out by known metal-organic vapor phase epitaxy (MOVPE) process.

[0084] Next as shown in FIGS. 3B and 3C, the InGaAs layer 7' is patterned by known photolithographic technique for every area to be processed into a light-emitting device chip, to thereby obtain either arrangement pattern of the occupied and unoccupied areas for the InGaAs layer 7 previously shown in FIG. 2A to FIG. 2C. More specifically, as shown in FIG. 3B, a photoresist layer 30 is formed on the InGaAs layer 7', and the substrate 1 is then fixed on a glass substrate using wax or the like. The photoresist layer 30 is then subjected to light exposure through a photo-mask and to development, to thereby transfer a mask pattern onto the photoresist layer 30 so as to selectively expose the InGaAs layer 7' in the unoccupied area for the InGaAs layer 7 as shown in (a) of FIG. 5. The InGaAs layer 7' is then etched selectively in the exposed portion, and the photoresist layer 30 is removed to thereby obtain the patterned InGaAs layer 7 as shown in (b) of FIG. 5.

[0085] Next as shown FIG. 3D and FIG. 6, the ITO electrode layer 8 is formed typically in a thickness of 0.2 μm or around respectively on the main surfaces of both of the p-type AlGaInP cladding layer 6 and InGaAs layer 7 by known RF sputtering process (typical target composition: In.sub.2O.sub.3=90.2 wt %, SnO.sub.2=9.8 wt %, RF frequency=13.56 MHz, Ar pressure=0.6 Pa, sputtering power=30 W). Resistivity of the ITO electrode layer 8 can be reduced approximately by one order by annealing thereof in a nitrogen atmosphere at 300 to 500.degree. C. after the film formation.

[0086] Further as shown in FIG. 3E, the back-side electrode layer is formed on the second main surface of the substrate 1 by vacuum evaporation process, and a bonding pad 16 is placed in each area corresponded to the individual light-emitting device chips on the ITO electrode layer 8 on the first main surface side. Baking for fixing the electrode at a proper temperature gives a light-emitting device wafer 50 as shown in FIG. 3F. The light-emitting device wafer 50 is then diced to a half depth in preparation for dividing the individual light-emitting device chip areas as

shown in (a) of FIG. 4, mesa-etched on the dicing planes thereof in order to remove process distortion remaining therein as shown in (b) of FIG. 4, and then scribed so as to produce separated light-emitting device chips 51 as shown in (c) of FIG. 4. The back-side electrode layer 15 (see FIG. 3E and FIG. 3F) is then bonded to a terminal electrode 9a using a conductive paste such as Ag paste as shown in (d) of FIG. 4, the bonding pad 16 is bonded to another terminal electrode 9b in a form of being bridged by an Au wire 47, and a resin mold 52 is formed as shown in (e) of FIG. 4 to thereby obtain the light-emitting device.

[0087] According to the foregoing constitution of the light-emitting device, contact resistance of the ITO electrode layer 8 can be reduced by virtue of the InGaAs layer 7, which desirably raises current density in the light emitting layer section 24 and can ensure a light-emitting device with a high luminance. The mixed arrangement of the occupied and unoccupied areas for the InGaAs layer 7 in the second zone extracting a larger amount of light allows the light from the light emitting layer section 24 to be emitted in two ways, one of which relates to a route through the InGaAs layer 7, and the other relates to a route bypassing the InGaAs layer 7 in the unoccupied areas. Of these, the latter route can improve the light extraction efficiency since the light absorption which possibly occurs during passing through the InGaAs layer 7 will never occur.

[0088] On the other hand, since the bonding pad 16 blocks most part of the light from the light emitting layer section 24, it is advantageous in view of raising the light extraction efficiency that electric current is not concentrated within an area of the light emitting layer section 24 just under the bonding pad 16, or in other words, the first area extracting only a less amount of light, and conversely that a larger as possible portion of the electric current is shared to the second zone around the bonding pad 16, which zone possibly extracts a larger amount of light. Then by intentionally excluding the InGaAs layer 7 from the area just under the bonding pad 16, the light-emitting device 100 shown in FIG. 1 successfully raises contact resistance of the ITO electrode layer 8 in such area and allows a lesser amount of current to pass therethrough. This allows the current, which is applied through the ITO electrode layer 8 to the light emitting layer section 24, to predominantly be shared to the second zone which can extract a larger amount of light, after being bypassed the first zone which can extract only a lesser amount of light, to thereby raise the light extraction efficiency.

[0089] Another advantage resides in that the entire surface of the p-type AlGaInP cladding layer 6 is covered with the ITO electrode layer 8 through which the drive voltage is applied. Since the drive current caused by the drive voltage uniformly spreads throughout the entire surface of the ITO electrode layer 8 having an excellent conductivity, so that uniform light emission can be achieved over the entire plane for extracting light, and the light extraction efficiency can be improved by virtue of the transparency of the ITO electrode layer 8. The ITO electrode layer 8 is also advantageous in that ensuring ohmic contact with the InGaAs layer 7 having a relatively narrow band gap, which desirably suppresses series resistance at the contact portion and raises the emission efficiency to a large extent.

[0090] Still another advantage resides in that there will be no more need to provide a thick current spreading layer such that being employed in the conventional light-emitting device, which considerably shortens the distance between the ITO electrode layer (oxide transparent electrode layer) and emission plane, and as a result, the series resistance can be reduced. The emission plane herein is defined as described in the next. For the first case where the light emitting layer section 24 has a double heterostructure as described in the above, the emission plane is defined by a interface between the cladding layer and the active layer more closer to the oxide transparent electrode layer (ITO electrode layer 8), which refers to a interface between the p-type cladding layer 6 and active layer 5 as viewed from the ITO electrode layer 8. On the other hand, the present invention is not limited to those having a light emitting layer section with the foregoing double heterostructure, but is applicable to those having a light emitting layer section with a single heterostructure, and in the latter case the emission plane is defined by such hetero

junction interface. By employing the present invention, the distance from the interface between the oxide transparent electrode layer and the electrode contact layer to the emission plane can typically be reduced to as small as 3 μm or below.

[0091] It is to be noted that the InGaAs layer 7 as the electrode contact layer can be formed so as to have a conductivity type same with that of the adjacent cladding layer 6 by adding a proper dopant, but it is also allowable to form the InGaAs layer 7 as a low-doped layer having a low dopant concentration (typically 10^{17} atoms/cm³ or less) or as a non-doped layer (10^{13} atoms/cm³ to 10^{16} atoms/cm³) when the InGaAs layer 7 is provided as a thin layer as described in the above, which raises no problem since the series resistance will not excessively increase. Employment of the low-doped layer will successfully result in an effect below depending on drive voltage for the light-emitting device. That is, employment of the low-doped layer for the electrode contact layer increases the electric resistivity per se of such layer, which elevates electric field (i.e., voltage per unit distance) to be applied to the electrode contact layer in the thickness-wise direction thereof relative to that applied to the cladding layer or the ITO layer adjacent thereto and having low electric resistivity. If the electrode contact layer is composed of InGaAs whose band gap is relatively small, the band structure of the electrode contact layer properly bends as being affected by the electric field, which results in better ohmic contact.

[0092] While FIG. 1 showed an exemplary case where the InGaAs layer 7 is excluded from the first zone (area just under the bonding pad 16) which extracts a less amount of light, it is also allowable to form the InGaAs layer 7 also in the first zone as shown in FIG. 7 provided that the current will not concentrate too excessively in the just-under area. In this case, it is desirable enough that a ratio of occupied area in which the InGaAs layer 7 is formed is smaller in the first zone which extracts a less amount of light than in the second zone which extracts a larger amount of light.

[0093] In the cases where light absorption by the electrode contact layer is of no significance, which cases being such that the thickness of the InGaAs layer 7 can be extremely reduced, or such that an electrode contact layer comprising a material other than InGaAs and showing only a small light absorption is available, it is also allowable to cover the entire surface of the second zone extracting a larger amount of light with such electrode contact layer (InGaAs layer 7 in the drawing) as shown in FIG. 8. It is still also allowable as shown in FIG. 9 to provide the occupied areas of the InGaAs layer 7 as being scattered over the entire surface of the ITO electrode layer 8 when the bonding pad can be omitted by modifying shape of a supply terminal 60 which is brought into contact with the ITO electrode layer, or when shielding of the light by the bonding pad 16 is negligible.

[0094] While the light-emitting device 100 shown in FIG. 1 has the light emitting layer section 24 having a double heterostructure in which the individual layers are composed of AlGaInP alloy, it is also allowable to compose the individual layers (p-type cladding layer, active layer and n-type cladding layer) in the light emitting layer section having a double heterostructure with AlGaInN alloy, which provides a wide-gap-type, light-emitting device for emitting blue light or ultraviolet radiation. The light emitting layer section can be formed by MOVPE process similarly to the case of light-emitting device 100 shown in FIG. 1. While the active layer has a single-layered structure in the above example, it is also allowable to compose it with a stack which comprises a plurality of compound semiconductor layers differing in the band gap energy with each other, which stack is specifically exemplified by such that having a quantum well structure.

[0095] For the case where the InGaAs layer and AlGaInP layers are directly contacted, there will be some possible cases in which somewhat high hetero barrier appears at the junction interface, which undesirably increases series resistance component. For the purpose of reducing such component, it is preferable to insert an intermediate layer 11 between the electrode contact

layer 7 which comes into contact with the ITO electrode layer 8 and the AlGaInP cladding layer 6 as shown in FIG. 10, where the intermediate layer 11 has an intermediate band gap energy between those of the electrode contact layer 7 and such cladding layer 6. The intermediate layer 11 can be composed of a layer containing at least any one of AlGaAs, GaInP and AlGaInP layers, where the entire portion of the intermediate layer 11 can typically be composed of an AlGaAs layer alone. Since any layers for composing the intermediate layer 11 can be formed as thin as 0.1 μm or below (but 0.01 μm or above, because the thickness smaller than 0.01 μm will ruin the bulk band structure, and a desired junction structure cannot be obtained), the employment of such constitution can still ensure shortening of epitaxial growth time by virtue of the thinning, improvement in the productivity as a consequence, and can also ensure less increment in the series resistance caused by the formation of the intermediate layer, which is unlikely to ruin the emission efficiency. In the present invention, the electrode contact layer 7 is formed only so as to correspond with a part of the ITO electrode layer 8 formed on the light extracting plane side, so that current density during current supply for light emission tends to selectively increase in the occupied areas for the electrode contact layer 7. The hetero barrier formed undesirably high between the electrode contact layer 7 and AlGaInP cladding layer 6 will cause more serious voltage drop due to current concentration when carriers pass through the junction interface between the electrode contact layer 7 and AlGaInP cladding layer 6, which results in further increase in the apparent series resistance. It is thus concluded that lowering of the hetero barrier height by forming the intermediate layer 11 is more beneficial than the case where the electrode contact layer 7 is formed on the entire surface of the ITO electrode layer 8.

[0096] It is to be noteworthy that the intermediate layer 11 can be formed so as to cover the entire surface of the light emitting layer section 24 as shown in FIG. 10, when it is less causative of adverse effect on the light absorption, which is typified by a case where the intermediate layer 11 has an extra-small thickness. Such constitution allows only the electrode contact layer 7 to be patterned, which facilitates the production process even when etchant used in chemical etching of the electrode contact layer 7 cannot effectively etch the intermediate layer 11. On the other hand, it is also allowable to form the intermediate layer 11 only in the occupied area for the electrode contact layer 7 as shown in FIG. 11, which further reduces effect of light absorption by the intermediate layer 11. A possible manufacturing process for this case is such that forming the electrode contact layer 7 and intermediate layer 11 so as to cover the entire surface of the light emitting layer section 24, and patterning these layers by photo-lithographic technique as described in the above. In the patterning, the electrode contact layer 7 and intermediate layer 11 maybe etched concomitantly by gas-phase etching, or may be etched serially while changing the etchants by chemical etching. In some cases where the electrode contact layer 7 is patterned by chemical etching, the intermediate layer 11 may be used as a stopper layer for preventing the light emitting layer section 24 from being corroded. In an exemplary case where the electrode contact layer 7 is composed of In-containing GaAs and the intermediate layer 11 of AlGaAs, using ammonia/hydrogen peroxide as an etchant successfully allows selective etching of the electrode contact layer 7 only, while making use of the intermediate layer 11 as the stopper layer.

[0097] (Second Embodiment)

[0098] While the electrode contact layer described above in the First Embodiment was the InGaAs layer formed by MOVPE process, the electrode contact layer can be formed also by the following process. Referring now to (b) of FIG. 5, a GaAs layer 7' is formed in place of the InGaAs layer 7 while being similarly patterned, then the ITO electrode layer 8 is formed similarly to that shown in FIG. 6, to thereby obtain a stacked wafer 13 as shown in FIG. 14.

[0099] Then as shown in FIG. 15, the stacked wafer 13 is placed in a furnace F, and then annealed in a nitrogen atmosphere or an inert gas atmosphere such as Ar at a low temperature

ranging from 600 to 750.degree. C. (typically 700.degree. C.) for a short period ranging from 5 to 120 seconds (typically 30 seconds). This process allows In to diffuse from the ITO electrode layer 8 to the GaAs layer 7" to thereby form the electrode contact layer 7 composed of In-containing GaAs. The electrode contact layer 7 has an In concentration as indicated by line [circle over (1)] in FIG. 16, where the In concentration in the vicinity of the interface with the ITO electrode layer 8 is 0.1 to 0.6 when expressed by an atomic ratio of the In concentration to the total concentration of In and Ga. Another feature of the In concentration is that it continuously decreases as the distance from the ITO electrode layer increases along the thickness-wise direction, and that it is adjusted to have a value of $C_{\text{sub.B}}/C_{\text{sub.A}}$ of 0.8 or below, while assuming $C_{\text{sub.A}}$ as the In concentration in the vicinity of the interface with the ITO electrode layer 8 (FIG. 1), and $C_{\text{sub.B}}$ as the In concentration in the vicinity of the interface opposite thereto (that is, in the vicinity of the interface with the cladding layer 6, see FIG. 1). The thickness t of the electrode contact layer 7 is 0.01 to 0.02 μm , and more preferably 0.005 to 0.01 μm .

[0100] Since the electrode contact layer 7 is obtained by first forming the GaAs layer 7" which has a good lattice matching with the light emitting layer portion 24 composed of AlGaInP, forming the ITO electrode layer, and then annealing it at a relatively low temperature for a short period, so that the In content thereof will never be excessive, but will be uniform and excellently continuous. This successfully prevents the quality degradation such as lowered luminous intensity due to lattice mismatching with the light emitting layer section 24.

[0101] While the electrode contact layer 7 can be formed by being added with an appropriate dopant so as to have the same conductivity type with the cladding layers 6, 4 contact thereto, a low-doped layer having a low dopant concentration (typically $10^{17}/\text{cm}^3$ or below, or non-doped layer having a dopant concentration of $10^{13}/\text{cm}^3$ to $10^{16}/\text{cm}^3$), which will never result in increase in the series resistance, can be formed as the electrode contact layer 7 without any problems when it is formed as thin as described in the above. The low-doped layer is also beneficial in that ensuring the following effects depending on drive voltage of the light-emitting device. That is, the electrode contact layer 7 per se will have a high electrical resistivity due to a low dopant concentration, and thus will have an electric field applied thereto in the thickness-wise direction thereof (i.e., voltage per unit distance) relatively higher than that applied to the low-resistivity cladding layer or the ITO electrode layer 8 directly adjacent to such electrode contact layer 7. Forming now the electrode contact layer 7 with In-containing GaAs having a relatively small band gap will produce proper bend in the band structure of the electrode contact layer upon application of the electric field, which successfully forms still better ohmic contact. This effect will further be enhanced since the In concentration of the electrode contact layer 7 is raised on the contact side with the ITO electrode layer 8 as shown in FIG. 16. It is allowable also in this embodiment to form the intermediate layer 11 in an absolutely similar manner with the first embodiment.



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.